

애플리케이션 노트 AN-75

LYTSwitch-6 제품군

디자인 가이드

소개

LYTSwitch™-6 시리즈 IC 제품군은 오프라인 LED 드라이버, 특히 소형 케이스 내에 들어가거나 높은 효율이 필요한 오프라인 LED 드라이버의 개발 및 제조를 획기적으로 간소화합니다. LYTSwitch-6 IC 기반 아키텍처는 1차측과 2차측 컨트롤러 모듈을 센싱 부품 및 안정성이 검증된 피드백 메커니즘과 함께 단일 IC에 통합한 혁신적인 아키텍처입니다.

부품 간의 근접성과 내장된 커뮤니케이션 링크인 FluxLink™의 혁신적인 사용으로 2차측 동기 정류 MOSFET 및 1차측 내장 고전압 MOSFET의 유사 공진(QR) 스위칭을 정확하게 제어할 수 있습니다. 이는 고유의 적응형 전류 제한 및 가변 주파수 제어 방식과 함께 전체 부하 범위에서 고효율을 유지합니다.

LYTSwitch-6 IC의 혁신적인 제어 아키텍처에서는 3-in-1 및 DALI 디밍을 간편하게 구현할 수 있습니다. 또한 패시브 일체형 SVFS²PFC(Switched Valley-Fill Power Factor Correction) 회로에 의해 고역률도 쉽게 달성합니다.

범위

이 애플리케이션 노트는 LYTSwitch-6 디바이스 제품군을 사용하여 절연형 AC-DC SVFS²PFC(Switched Valley-Fill Power Factor Correction) 플라이백 파워 서플라이를 설계하는 엔지니어를 위해 제작되었습니다. 모든 회로 부품의 선택을 위한 단계별 설계 절차를 제시합니다.

이 애플리케이션 노트에서는 설계 프로세스 중 파워 서플라이 엔지니어에게 더 많은 제어권을 부여하는 스프레드시트 기반 애플리케이션인 PIXIs Designer를 이용합니다. 이 소프트웨어는 <http://www.power.com/en/design-support/pi-expert-design-software>에서 다운로드할 수 있는 PI Expert™ 설계 소프트웨어 제품군의 일부입니다. <http://piexpertonline.power.com>에서 온라인 버전도 사용할 수 있습니다.

설계자는 이 애플리케이션 노트뿐만 아니라 www.power.com에 있는 여러 설계 예제도 참조할 수 있습니다. 새 설계의 시작점으로 유용합니다.

퀵 스타트

파워 서플라이 설계 및 파워 인테그레이션스(Power Integrations) 설계 소프트웨어에 익숙한 독자는 단계별 설계 접근 방식을 건너뛰고 다음 정보를 사용하여 트랜스포머를 빠르게 설계하고 첫 번째 프로토타입에 필요한 부품을 선택할 수 있습니다. 이 접근 방식의 경우 PIXIs 스프레드시트에 아래에 설명된 정보만 입력해야 합니다. 다른 파라미터는 일반 설계 요구 사항에 따라 자동으로 선택됩니다. 스프레드시트 셀 위치는 대괄호로 묶인 [셀 참조]를 확인하십시오.

- AC 입력 전압 범위 및 라인 주파수, V_{ACMIN} [C3], V_{ACNOM} [C4], V_{ACMAX} [C5], FL [C6], [C7] 입력
- 공칭 출력 전압 V_o [C10] 입력
- 연속 출력 전류 I_o [C11] 입력
- 현재 전류 제한 모드 DEVICE_MODE [C20] 선택
 - 표준 또는 증가 선택
- 드롭다운 목록에서 LYTSwitch-6 디바이스 선택 또는 [C21] 직접 입력
 - 출력 전력 및 입력 전압에 따라 디바이스를 선택합니다 (표 3 참조).
- 최소 스위칭 주파수 f_{S_MIN} [C38] 입력
 - 50kHz 이하의 값 선택(SVFS²PFC 최적화)
- 플라이백 인덕턴스 비율로 PFC 인덕턴스 RATIO_LBST_LFB [C50] 입력
 - 로우 라인/광범위 애플리케이션의 시작 값은 0.8
 - 하이 라인 전용 애플리케이션의 시작 값은 1
- 부스트 인덕터 코어 유형 CR_TYPE_BOOST [C56] 선택
- 부스트 레이어 수 L_BOOST [C72] 입력
- 원하는 반사 출력 전압 V_{OR} [C78] 입력
- 플라이백 트랜스포머 코어 유형 CR_TYPE [C84] 선택
- 1차측 레이어 수 L [C102] 입력
 - BOBFILLFACTOR [D94]에 경고가 표시되면 레이어 조정
 - CMA [D106]에 경고나 정보가 표시되면 레이어 조정

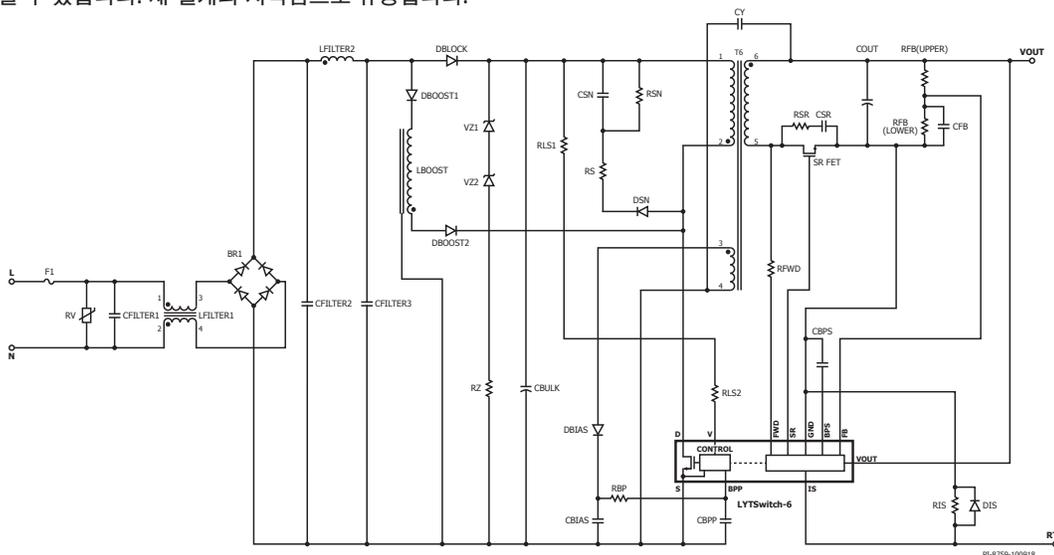


그림 1. $V_o < 24V$ 의 경우 일반 애플리케이션 회로도.

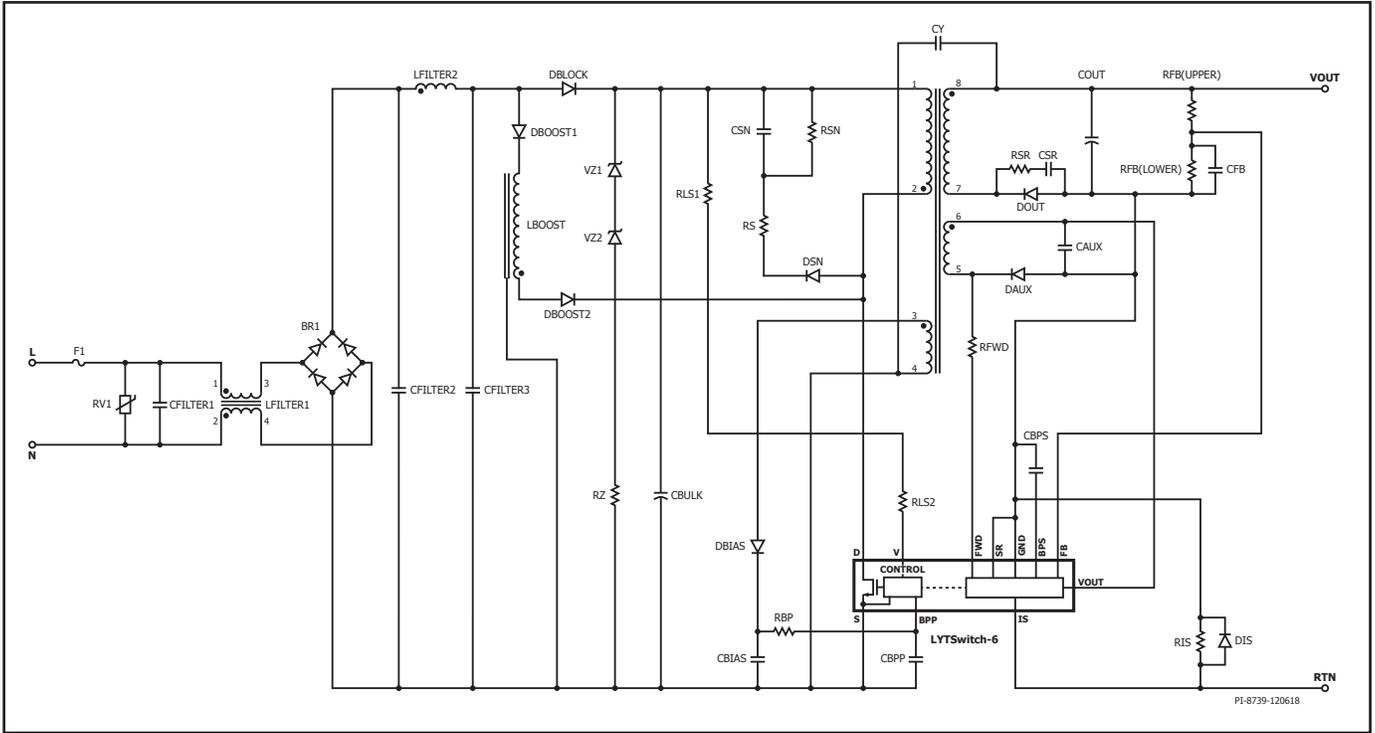


그림 2. $V_o > 24V$ 의 경우 일반 애플리케이션 회로도.

단계별 설계 절차

1단계 - 애플리케이션 변수

입력: VACMIN, VACNOM, VACMAX, FL, CIN, VO, IO, n, Z

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVF S ² PFC)
2	애플리케이션 변수					
3	VACMIN			90	V	최소 입력 AC 전압
4	VACNOM			230	V	공칭 입력 AC 전압
5	VACMAX			265	V	최대 입력 AC 전압
6	VACRANGE			유니버설		입력 전압 범위
7	FL			50	Hz	라인 주파수
8	CIN			60.02	μF	최소 입력 커패시턴스
9	V_CIN			450	V	입력 커패시턴스 권장 정격 전압
10	VO	40.00		40.00	V	출력 전압
11	IO	1.00		1.00	A	출력 전류
12	PO			40.01	W	총 출력 전력
13	N			88.00	%	효율성 추정치
14	Z			0.50		손실 배분 계수

그림 3. 설계 스프레드시트의 애플리케이션 변수 색션.

입력 전압 및 라인 주파수: V_{ACMIN} (V), V_{ACNOM} (V), V_{ACMAX} (V), F_L (Hz)

표 1에서 입력 전압 범위 및 라인 주파수를 결정합니다.

지역	공칭 입력 전압(VAC)	최소 입력 전압(VAC)	최대 입력 전압(VAC)	정격 라인 주파수(Hz)
일본	100	85	132	50/60
미국, 캐나다	120	90	132	60
호주, 중국, 유럽 연합 국가, 인도, 대한민국, 말레이시아, 러시아	230	185	265	50
인도네시아, 태국, 베트남	220	185	265	50
나머지 유럽 국가, 아시아, 아프리카, 아메리카 및 기타 국가	115, 120, 127	90	155	50/60
	220, 230	185	265	50/60
	240	185	265	50

방문: https://en.wikipedia.org/wiki/Mains_electricity_by_country

표 1. 입력 라인 전압 범위 및 라인 주파수.

표 2를 참고하여 벌크 커패시턴스를 선택합니다. 권장 정격 전압은 V_{CIN} 으로 계산할 수 있습니다.

입력 전압(VAC)	출력 전력(μ F/W)당 벌크 커패시턴스
100/115	1~1.5
230	0.5~1
85 - 265	1~1.5

표 2. 벌크 커패시턴스가 권장됩니다.

공칭 출력 전압, V_O (V)

정전압 작동 영역에서 메인 출력의 공칭 출력 전압을 입력합니다. 이 값은 최대 LED 전압보다 최소 3V 이상 높은 것이 좋습니다.

출력 전류, I_O (A)

최대 연속 LED 부하 전류를 입력합니다.

출력 전력, P_O (W)

출력 전압 및 전류를 기반으로 계산된 값입니다.

예상 효율, η

기본값은 88%입니다. 프로토타입이 완성되면 측정된 효율로 값을 업데이트하고 부품을 미세 조정합니다.

손실 배분 계수, Z 이 계수는 1차측 및 2차측 파워 서플라이에서 손실 비율을 나타냅니다. Z 계수는 효율과 함께 사용되어 전력단에서 공급해야 하는 실제 전력을 결정하는 데 사용됩니다. 예를 들어, 입력단(EMI 필터, 정류 등)에서의 전력 손실은 파워단(트랜스포머를 통해 전달)에서 처리되지 않습니다. 이러한 손실이 효율을 낮추긴 하지만 트랜스포머 설계에는 영향을 미치지 않습니다.

피크 전력 요구 사항이 없는 설계의 경우 0.5의 값이 권장됩니다. 피크 전력 요구 사항이 있는 설계의 경우 0.65를 입력합니다. 숫자가 클수록 2차측 손실 비율이 크다는 것을 나타냅니다.

$$Z = \frac{\text{Secondary Losses}}{\text{Total Losses}}$$

2단계 – 파라미터 계산 기준

선택: PARcalcBASIS, Flyback_Ind_Basis, Boost_Ind_Basis

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 일체형 PFC(SVF S^2PFC)
15	계산 기준					
16	PARcalcBASIS	Worst_Case		Worst_Case		선택한 VAC를 바탕으로 계산한 결과 -VACNOM, VACMAX,VACMIN 또는 Worst Case만
17	Flyback_Ind_Basis	정격		정격		선택한 LP를 바탕으로 계산한 결과 -최소 = LP_MIN, 정격 = LP_NOM, 최대 = LP_MAX
18	Boost_Ind_Basis	정격		정격		선택한 LBOOST를 바탕으로 계산한 결과 -최소 = LBOOSTMIN, 정격 = LBOOSTNOM, 최대 = LBOOSTMAX

그림 4. 설계 스프레드시트의 파라미터 계산 기준 섹션

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 일체형 PFC(SVF S^2PFC)
30	지정된 기준을 바탕으로 계산된 전기 파라미터					
31	부스트 컨버터					
32	IBOOSTRMS			439.72	mA	부스트 RMS 전류
33	IBOOSTMAX			1092.16	mA	부스트 PEAK 전류
34	IBOOSTAVG			313.88	mA	부스트 AVG 전류
35	IINRMS			673.27	mA	입력 RMS 전류
36	PF_est			0.7524		역률 추정치

그림 5. 설계 스프레드시트의 계산된 전기적 파라미터 섹션

파라미터 계산 기준, PARcalcBASIS

이 파라미터는 설정된 입력 전압에서 컨버터의 전기적 파라미터에 대한 정보를 제공합니다. 이는 부스트 전류, FET 전류, 플라이백 트랜스포머 전류(RMS, 최대, 평균)뿐만 아니라 역률 추정치 및 K_p 에도 영향을 줍니다.

Worst Case에서 K_p 및 FS_{MAX} 와 같은 중요 파라미터가 허용 가능한 제한 내에 있는지 확인하려면 'Worst_Case'를 선택하는 것이 좋습니다.

플라이백 인덕턴스 기준, Flyback_Ind_Basis

계산 시 사용할 플라이백 인덕턴스 오차를 선택합니다. 기본적으로 정격(Nom)으로 설정됩니다.

부스트 인덕턴스 기준, Boost_Ind_Basis

계산 시 사용할 부스트 인덕턴스 오차를 선택합니다. 기본적으로 정격(Nom)으로 설정됩니다.

역률 추정치, PF_est

worst-case 입력 전압 및 부품 오차로 계산한 경우 역률 추정치(PF_est)가 낮게 나타날 수 있습니다. 최소 입력 전압에서 PF를 보장해야 하는 경우가 아니라면, 역률을 예측할 때는 VACNOM을 사용하여 계산을 수행하고 프로토타입 테스트 중에 실제 값을 확인하는 것이 좋습니다.

3단계 - 1차측 컨트롤러 선택

입력: 디바이스 이름, Current Limit 모드, 항복 전압

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVFS ² PFC)
19	1차측 컨트롤러 섹션					
20	DEVICE_MODE	항상됨		항상됨		디바이스 Current Limit 모드
21	DEVNAME	LYT6068C		LYT6068C		PI 디바이스 이름
22	RDSON			1.53	Ohm	100degC에서 디바이스 RDSON
23	ILIMITMIN			1.683	A	최소 Current Limit
24	ILIMITTYP			1.850	A	일반 Current Limit
25	ILIMITMAX			2.017	A	최대 Current Limit
26	POUT_MAX			55.000	W	써멀 성능을 바탕으로 한 디바이스의 전력 용량
27	BVDSS	자동		650	V	피크 드레인-소스 항복 전압
28	VDS			2.00	V	ON 상태 드레인-소스 전압
29	VDRAIN			544.77	V	FET가 꺼져 있는 동안 피크 드레인-소스 전압

그림 6. 설계 스프레드시트의 파라미터 계산 기준 섹션

디바이스 Current Limit 모드, DEVICE_MODE

디바이스에는 두 가지 current limit 옵션(STANDARD 또는 INCREASED)이 있습니다. 기본적으로 DEVICE_MODE는 STANDARD로 설정되어 있습니다. 가장 낮은 가격이 중요 요구 사항인 설계의 경우 INCREASED current limit 모드를 선택하여 동일한 디바이스에서 더 높은 전력으로 작동할 수 있도록 합니다. 써멀 성능은 허용 가능한 범위 내에 있어야 합니다.

디바이스 코드, DEVNAME

LYTSwitch-6 데이터 시트의 전력표는 비역률 구성을 기반으로 합니다. SVFS²PFC 회로가 추가되어 최적의 효율 및 써멀 관리 최적화를 위해 LYTSwitch-6 디바이스를 선택할 때는 전력을 20% 경감하는 것이 좋습니다.

항복 전압 선택, BV_{DSS} (V)

LYTSwitch-6 IC는 650V 또는 725V 1차측 스위치 옵션으로 사용할 수 있습니다. 예를 들어, LYT6063C는 650V MOSFET 디바이스를 나타내고 LYT6073C는 725V를 나타냅니다.

이 옵션은 디바이스 코드(DEVNAME)가 AUTO로 설정된 경우에만 사용할 수 있습니다.

제품	277VAC ± 15%	85-305VAC	380VDC/ 450VDC
	권장 정격 전력 (SVFS ² PFC 포함)		
LYT6063C/6073C	12 W	9.6 W	20 W
LYT6065C/6075C	24 W	20 W	32 W
LYT6067C/6077C	40 W	36 W	48 W
LYT6068C	55 W	45 W	

표 3. SVFS²PFC 스테이지에서의 작동을 바탕으로 디바이스 선택

4단계 – 최소 스위칭 주파수 입력

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVF S^2PFC)
37	플라이백 컨버터					
38	FSMIN	45000		45000	Hz	한 라인 기간 동안 최소 스위칭 주파수
39	FSMAX			108744.24	Hz	한 라인 기간 동안 최대 스위칭 주파수
40	KPmin			0.5187		PARcalcBASIS에서 지정한 VAC의 한 라인 기간 동안 최소 KP
41	IFETRMS			803.16	mA	FET RMS 전류
42	IFETMAX			1864.84	mA	FET PEAK 전류
43	IPRIRMS			0.6058	A	1차측 권선 RMS 전류
44	IPRIMAX			1.6647	A	1차측 권선 PEAK 전류
45	IPRIAVG			0.2479	A	1차측 권선 AVG 전류
46	IPRIMIN			929.59	mA	1차측 권선 최소 전류
47	ISECRMS			1.69	A	2차측 RMS 전류
48	ISECMAX			4.31	A	2차측 PEAK 전류

그림 7. 설계 스프레드시트의 플라이백 컨버터 섹션

최소 스위칭 주파수, FSMIN(Hz)

그림 8은 일반적인 LYTSwitch-6 + SVFS²PFC 스위칭 프로파일을 보여줍니다. 최소 주파수는 제로 크로싱에서 발생하며 라인을 따라 증가합니다. 1/2 라인 사이클에서 M자 모양과 유사합니다. 스위칭 손실을 최소화하려면 FSMIN을 50kHz 이하로 설정하는 것이 좋습니다. FSMAX에 경고 플래그가 표시되면 FSMIN을 조정합니다.

최대 스위칭 주파수, FSMAX(Hz)

이 파라미터는 선택한 FSMIN 및 파라미터 계산을 기반으로 계산한 최대 작동 주파수입니다. 스위칭 손실을 최소화하려면 FSMAX를 100kHz 이하로 설정하는 것이 좋습니다. 높은 주파수도 가능하지만 대상 시험을 통해 레귤레이션, 효율 및 써멀 성능을 검증해야 합니다.

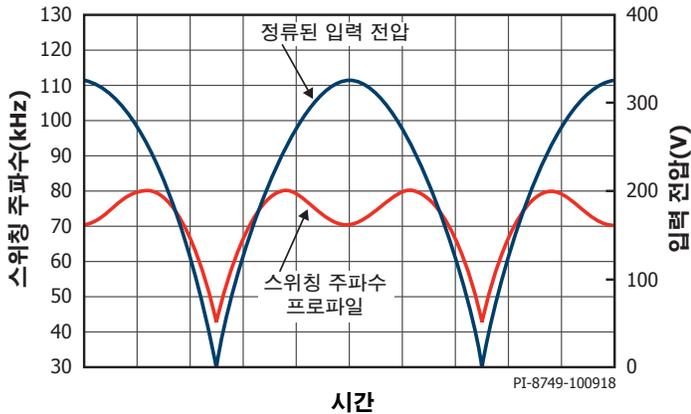


그림 8. LYTSwitch-6 + SVFS²PFC 스위칭 프로파일(시뮬레이션됨)

작동 모드, KP

KP는 불연속 또는 연속 스위칭 상태를 측정하는 것입니다. KP > 1 은 DCM(불연속 전도 모드)을 나타내는 반면 KP < 1은 CCM(연속 전도 모드)에 해당합니다.

KP < 1

CCM(연속 전도 모드)에서 KP는 리플 전류와 1차측 피크 전류 간의 비율로 정의됩니다.

$$KP \equiv KRP = \frac{I_R}{I_P}$$

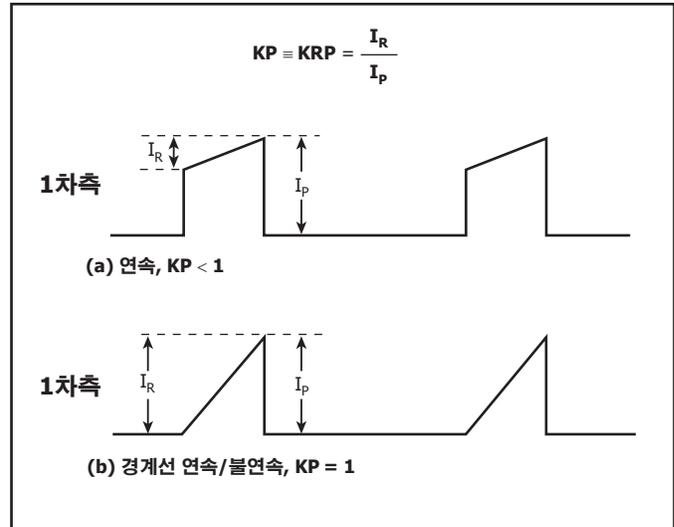


그림 9. 연속 전도 모드 전류 파형, KP ≤ 1

KP > 1

KP>1은 컨버터가 DCM(불연속 전도 모드)으로 작동한다는 것을 나타냅니다. 이 경우 KP는 1차측 MOSFET 오프-타임과 2차측 정류기 전도 시간 간의 비율로 정의됩니다.

$$KP \equiv KDP = \frac{(1-D) \times T}{t} = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

최소 KP, KP_{MIN}

KP_{MIN}은 선택한 파라미터를 바탕으로 최소 작동 KP에 대한 정보를 제공합니다.

값이 1보다 크면 이상적이고 보통 효율이 가장 우수합니다. 하지만, 유니버설 입력, 고전력 설계의 경우 KP<1를 피할 수 없을지도 모릅니다. Worst-case 상태에서 KP_{MIN}을 검증하고 목표 KP_{MIN}은 0.5 이상이어야 합니다. 더 지속적으로 작동하게 되면 PFC 인덕터가 CCM으로 작동합니다. 올바른 작동을 위해서는 PFC 인덕터를 DCM에서 작동해야 하므로 KP_{MIN}이 너무 낮으면 부스트 인덕턴스-플라이백 인덕턴스 비율(RATIO_LBST_LFB)도 낮아져서 효율이 감소할 수 있습니다.

KP_{MIN}을 증가시키는 방법:

- INCREASED 전류 제한 사용
- 대형 디바이스 사용
- V_{OR} 증가
- 벌크 커패시턴스 증가

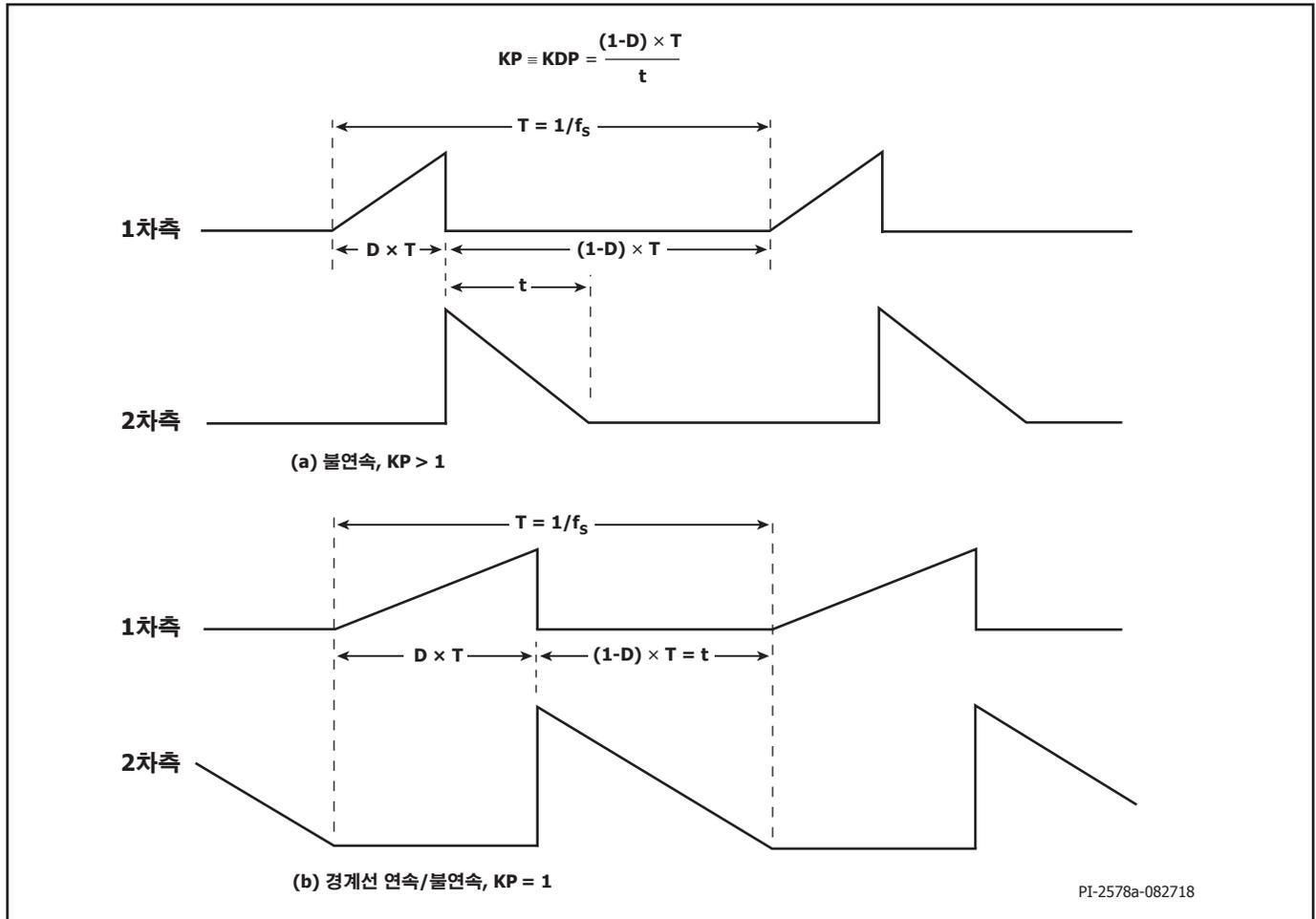


그림 10. 불연속 전도 모드 전류 파형, K_p > 1

5단계 – PFC(부스트) 파라미터

입력: RATIO_LBST_LFB, LBOOSTTOL

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVF S^2PFC)
49	부스트 초크 구성 파라미터					부스트 인덕턴스 및 플라이백 1차측 인덕턴스 비율
50	RATIO_LBST_LFB	0.8		0.8000		
51	LBOOSTMIN			512.07	μH	최소 부스트 인덕턴스
52	LBOOSTNOM			568.96	μH	정격 부스트 인덕턴스
53	LBOOSTMAX			625.86	μH	최대 부스트 인덕턴스
54	LBOOSTTOL			10.00	%	부스트 인덕턴스 오차

그림 11. 설계 스프레드시트의 PFC(부스트) 인덕터 섹션

부스트 인덕턴스-플라이백 1차측 인덕턴스 비율, RATIO_LBST_LFB

선택한 FSMIN은 필요한 플라이백 1차측 인덕턴스를 결정합니다. PFC(부스트) 인덕턴스는 부스트 인덕턴스(LBOOST_NOM)와 플라이백 인덕턴스(LP_NOM) 간 비율인 RATIO_LBST_LFB 셀 값에 의해 결정됩니다.

$$RATIO_LBST_LFB = \frac{LBOOSTNOM}{LPNOM}$$

로우 라인/유니버설 입력의 기본값은 0.8입니다. 하이 라인의 경우 기본값은 1입니다. 비율이 낮으면 PF(그림 12)는 증가하지만 효율이 감소합니다(그림 13). 표 4는 낮은 비율을 선택하는 것의 장단점을 요약해서 보여줍니다.

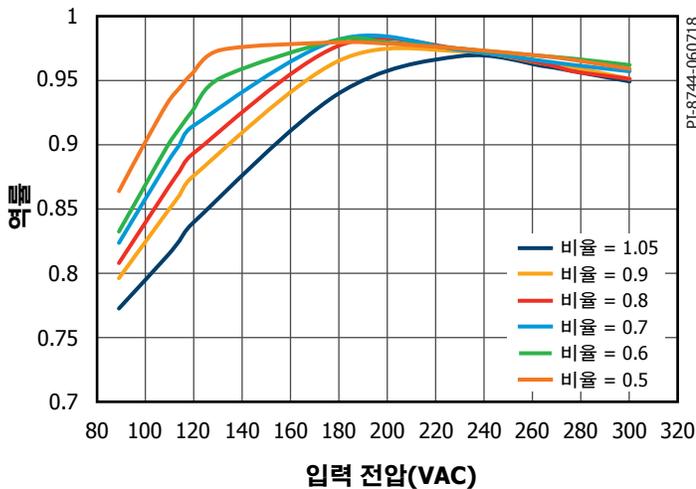


그림 12. 역률 vs. RATIO_LBST_LFB

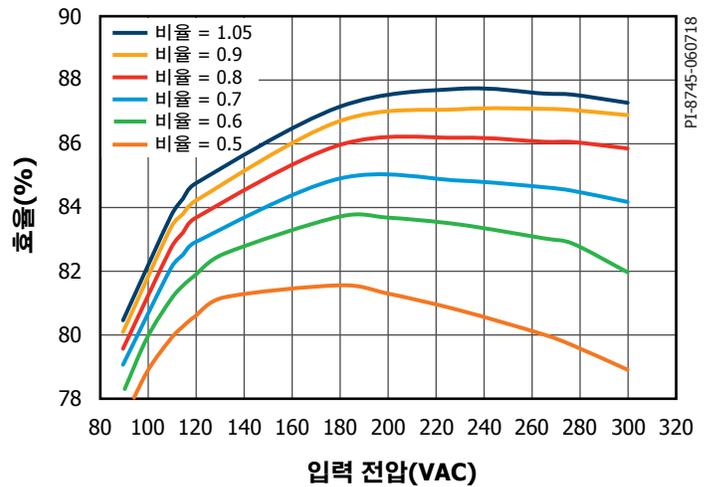


그림 13. 효율 vs. RATIO_LBST_LFB

다양한 파라미터에서 낮은 RATIO_LBST_LFB 값의 효과

파라미터	영향
역률	높아짐
효율	낮아짐
A-THD	낮아짐
무부하 입력 전력	높아짐
무부하 벌크 전압	높아짐
최대 작동 스위칭 주파수	높아짐

표 4. 다양한 파라미터에서 낮은 RATIO_LBST_LFB의 효과

정격 부스트 인덕턴스, LBOOST_NOM

일반적인 부스트 인덕턴스의 목표 값입니다. 이 값은 RATIO_LBST_LFB 및 플라이백 인덕턴스에 따라 다릅니다. 부스트 인덕터는 DCM(불연속 전도 모드)에서 작동해야 합니다.

부스트 인덕턴스 오차, LBOOST_TOL

이 파라미터는 예상 부스트 인덕턴스 오차입니다. 기본적으로 10%의 값이 사용되며 회색 오버라이드 셀에 다른 값도 입력할 수 있습니다. 대부분의 마그네틱 공급업체의 경우 10%의 값을 쉽게 충족하지만 값을 낮추면 생산 오차가 증가합니다.

6단계 – 부스트 인덕터 설계

입력: 부스트 파라미터(AE, LE, AL, VE, AW, BW, NBOOST, L_BOOST, AWG_BOOST)

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVF S^2PFC)
56	CR_TYPE_BOOST	자동		EE13		부스트 코어
57	CR_PN_BOOST			PC40EE13-Z		부스트 코어 코드
58	AE_BOOST			17.10	mm ²	부스트 코어 유효 단면적
59	LE_BOOST			30.20	mm	부스트 코어 자로 길이
60	AL_BOOST			1130.00	nH/turn ²	부스트 코어 갭이 없는 코어 유효 인덕턴스
61	VE_BOOST			517.00	mm ³	부스트 코어 부피
62	BOBBINID_BOOST			548		보빈
63	AW_BOOST			22.20	mm ²	보빈의 권폭
64	BW_BOOST			7.40	mm	보빈 폭
65	MARGIN_BOOST			0.00	mm	안전 마진 폭
66	BOBFILLFACTOR_Boost			84.21	%	부스트 보빈 필 계수
67	부스트 권선 상세 정보					
68	NBOOST			107.00		부스트 초크 턴 수
69	BP_BOOST			3735.79	Gauss	부스트 피크 자속 밀도
70	ALG_BOOST			49.70	nH/turn ²	부스트 코어 갭이 없는 코어 유효 인덕턴스
71	LG_BOOST			0.41	mm	부스트 코어 갭 길이
72	L_BOOST			6.50		부스트 레이어 수
73	AWG_BOOST			27		부스트 권선 와이어 AWG
74	OD_BOOST_INSULATED			0.418	mm	부스트 권선 와이어 출력 내경 (절연 포함)
75	OD_BOOST_BARE			0.361	mm	부스트 권선 와이어 출력 내경 (절연 제외)
76	CMA_BOOST			471.92	Circular Mils/A	부스트 권선 와이어 CMA

그림 14. 설계 스프레드시트의 부스트 인덕터 구성 섹션

부스트 인덕터 코어 유형, CR_TYPE_BOOST

기본적으로 스프레드시트는 지정된 출력 전력에 적합한 일반적으로 사용 가능한 가장 작은 코어를 선택합니다. 드롭다운 목록에서 다른 코어 유형 및 크기를 사용할 수 있으며 사용자가 원하는 코어가 없는 경우 회색 오버라이드 셀(AE_BOOST, LE_BOOST, AL_BOOST, VE_BOOST, AW_BOOST 및 BW_BOOST)을 사용하여 코어 및 보빈 파라미터를 직접 입력할 수 있습니다.

표 5는 출력 전력을 바탕으로 코어 선택 지침을 제공합니다. 고성능 드럼 유형의 인덕터를 사용할 수 있지만 EMI 방출을 최소화하려면 실드 유형이 권장됩니다.

부스트 인덕터 턴 수, NBOOST

필요한 부스트 인덕턴스를 바탕으로 계산된 부스트 권선 턴 수입니다.

부스트 레이어, L_BOOST; 부스트 권선 전선 게이지, AWG_BOOST

사용자는 보빈 필 BOBFILLFACTOR_Boost 및 권선 전류 용량 CMA_BOOST를 최적화하기 위해 부스트 레이어 L_BOOST 또는 AWG_BOOST를 설정할 수 있으며 200~500cmil/A의 값이 권장됩니다.

75kHz에서 출력 전력	코어 및 보빈 표								
	코어	코드	코어				보빈		
			AE (mm ²)	LE (mm)	AL (nH/T ²)	VE (mm ³)	코드	AW (mm ²)	BW (mm)
< 15 W	EE8.3	B-EE8-H	7.0	19.2	610	154	B-EE8.3-H	6.96	4.78
15W~30W	EE10	PC47EE10-Z	12.1	26.1	850	300	B-EE10-H	12.21	6.60
30W~45W	EE13	PC47EE13-Z	17.1	30.2	1130	517	B-EE13-H	18.43	7.60
> 45 W	EE16	PC47EE16-Z	19.2	35.0	1140	795	B-EE16-H	14.76	8.50

표 5. 일반적으로 사용 가능한 코어 및 전력 수준으로 이러한 코어는 일반적인 부스트 인덕터 설계에 사용할 수 있습니다.

7단계 – 플라이백 트랜스포머 설계

입력: VOR, 코어 파라미터, L, AWG, NS

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVF S^2PFC)
77	플라이백 트랜스포머 구성 파라미터					
78	VOR	100.00		100.00	V	1차측 권선에서 반사된 2차측 전압
79	LP_MIN			640.08	μH	최소 플라이백 인덕턴스
80	LP_NOM			711.20	μH	정격 플라이백 인덕턴스
81	LP_MAX			782.33	μH	최대 플라이백 인덕턴스
82	LP_TOL			10.00	%	플라이백 인덕턴스 허용 오차
83	플라이백 코어 보빈 선택					
84	CR_TYPE	PQ26/20		PQ26/20		플라이백 코어
85	CR_PN			PQ26/20-3F3		플라이백 코어 코드
86	AE			121.00	mm^2	플라이백 코어 단면적
87	LE			45.00	mm	플라이백 코어 자로 길이
88	AL			5200.00	nH/turn^2	플라이백 코어 갭이 없는 코어 유효 인덕턴스
89	VE			5470.00	mm^3	플라이백 코어 부피
90	BOBBINID			BPQ26/20-1112CPFR		플라이백 보빈
91	AW			31.10	mm^2	보빈의 플라이백 권폭
92	BW			9.00	mm	플라이백 보빈 폭
93	MARGIN			0.00	mm	안전 마진 폭
94	BOBFILLFACTOR			58.69	%	플라이백 보빈 필 팩터
95	플라이백 권선 상세 정보					
96	NP			37.00		1차측 턴 수
97	BP			3630.38	Gauss	플라이백 피크 자속 밀도
98	BM			3484.88	Gauss	플라이백 최대 자속 밀도
99	BAC			1408.39	Gauss	플라이백 AC 자속 밀도
100	ALG			519.51	nH/turn^2	플라이백 코어 갭이 없는 코어 유효 인덕턴스
101	LG			0.26	mm	플라이백 코어 갭 길이
102	L			2.00		플라이백 레이어 수
103	AWG			26		1차측 권선 와이어 AWG
104	OD			0.465	mm	1차측 권선 와이어 출력 내경(절연 포함)
105	DIA			0.405	mm	1차측 권선 와이어 출력 내경(절연 제외)
106	CMA			467.83	Circular Mils/A	1차측 권선 와이어 CMA
107	NB			5.00		바이어스 턴 수
108	AWGpBias			32		바이어스 와이어 AWG
109	NS			15.00		2차측 턴 수
110	AWGS			25		2차측 권선 와이어 AWG
111	ODS			0.760	mm	2차측 권선 와이어 출력 내경(절연 포함)
112	DIAS			0.455	mm	2차측 권선 와이어 출력 내경(절연 제외)
113	CMAS			200.71	Circular Mils/A	2차측 권선 와이어 CMA

그림 15. 설계 스프레드시트의 플라이백 트랜스포머 구성 섹션

반사 출력 전압, VOR

이 파라미터는 다이오드/동기 정류기 MOSFET(SR FET) 전도 시간 동안 2차측 권선 전체에서 볼 수 있는 전압으로, 트랜스포머의 권선비를 통해 1차측에 다시 반영됩니다. VOR을 조정하여 1차측 MOSFET의 드레인-소스 전압을 제한할 수 있습니다. 스프레드시트의 경고를 제거하려면 VOR을 조정해야 합니다. 설계를 최적화하기 위해서는 다음 내용을 고려해야 합니다.

- VOR을 높이면 출력 다이오드 및 SR MOSFET의 전압 스트레스가 줄어들며, 정격 전압을 낮추고 효율을 높이는 경우도 있을 수 있습니다.
- VOR을 높이면 누설 인덕턴스가 증가하여 파워 서플라이의 효율을 감소시킵니다.
- VOR을 높이면 2차측 피크 및 RMS 전류가 증가하여 2차측 구리, 다이오드 및 SR MOSFET 손실이 증가하고 효율이 감소할 수 있습니다.
- VOR을 높이면 KP가 높아져서(불연속이 늘어나고 연속은 감소) 디바이스 VACMIN에서 CCM이 깊게 들어가는 것을 방지할 수 있습니다.

위 내용에는 예외가 있는데, 특히 출력 전류가 매우 높아서 고효율을 위해서는 VOR을 떨어뜨려야 하는 경우와 출력 SR FET 전체에서 허용

가능한 PIV(피크 역전압)를 유지하기 위해 높은 VOR과 함께 15V 이상의 높은 출력 전압을 지원해야 하는 경우입니다. 최적의 VOR 선택은 상황마다 다르며 위에서 설명한 요인 간의 절충안을 고려해야 합니다.

정격 플라이백 인덕턴스, LP_NOM

정격 트랜스포머 1차측 인덕턴스의 목표 값입니다.

플라이백 인덕턴스 오차, LP_TOL

이 파라미터는 트랜스포머 1차측 인덕턴스의 예상 오차입니다. 기본적으로 10%의 값이 사용되며 회색 오버라이드 셀에 다른 값도 입력할 수 있습니다. 10%의 값은 쉽게 충족할 수 있지만 값이 낮으면 생산 문제가 감소합니다.

플라이백 트랜스포머 코어 유형, CR_TYPE

기본적으로 스프레드시트는 지정된 출력 전력에 적합한 일반적으로 사용 가능한 가장 작은 코어를 선택합니다. 드롭다운 목록에서 다른 코어 유형 및 크기를 선택할 수 있습니다. 사용자가 원하는 코어가 없는 경우 회색 오버라이드 셀(AE, LE, AL, VE, AW 및 BW)을 사용하여 코어 및 보빈 파라미터를 직접 입력할 수 있습니다.

75kHz에서 출력 전력	코어 및 보빈 표								
	코어	코드	코어				보빈		
			AE (mm ²)	LE (mm)	AL (nH/T ²)	VE (mm ³)	코드	AW (mm ²)	BW (mm)
0W – 10W	EE10	PC47EE10-Z	12.1	26.1	850	300	B-EE10-H	12.21	6.60
0W – 10W	EE13	PC47EE13-Z	17.1	30.2	1130	517	B-EE13-H	18.43	7.60
0W – 10W	EE16	PC47EE16-Z	19.2	35.0	1140	795	B-EE16-H	14.76	8.50
0W – 10W	EE19	PC47EE19-Z	23.0	39.4	1250	954	B-EE19-H	29.04	8.80
10W – 20W	EE22	PC47EE22-Z	41.0	39.4	1610	1620	B-EE22-H	19.44	8.45
10W – 20W	EE25	PC47EE25-Z	41.0	47.0	2140	1962	B-EE25-H	62.40	11.60
20W – 50W	EE30	PC47EE30-Z	111.0	58.0	4690	6290	B-EE30-H	41.79	13.20
0W – 10W	RM5	PC95RM05Z	24.8	23.2	2000	574	B-RM05-V	10.17	4.90
10W – 20W	RM6	PC95RM06Z	37.0	29.2	2150	1090	B-RM06-V	15.52	6.20
20W – 30W	RM8	PC95RM08Z	64.0	38.0	5290	2430	B-RM08-V	30.00	8.80
30W – 50W	RM10	PC95RM10Z	96.6	44.6	4050	4310	B-RM10-V	45.69	10.00
20W – 30W	PQ2020	PQ20/20-3F3	62.6	45.7	2650	2850	P-2036	36.0	12.0
30W – 50W	PQ2620	PQ26/20-3F3	121.0	45.0	5200	5470	BPQ26/20	31.1	9.0

표 6. 일반적인 플라이백 트랜스포머 설계에 지원되는 일반적으로 사용 가능한 코어 및 관련 전력 범위

안전 마진, MARGIN(mm)

기본적으로 안전 마진은 2차측 권선에 3중 절연 와이어가 사용될 것으로 간주하는 0으로 설정됩니다. 3중 절연 와이어가 사용되지 않으면 230VAC 또는 유니버설 입력 설계의 경우 3.1 그리고 로우 라인 입력(만) 설계의 경우 1.5를 입력합니다.

플라이백 1차측 턴 수, NP

VOR 및 2차측 턴 수 NS를 바탕으로 계산된 트랜스포머 메인 권선의 턴 수입니다.

피크 자속 밀도, BP

최대 전류 제한 및 132kHz 작동에서 피크 자속 밀도를 제한하려면 최대값인 3600가우스가 권장됩니다. 출력 단락 중에는 출력 전압이 낮으며 MOSFET이 오프 상태일 때 트랜스포머의 리셋이 거의 발생하지 않습니다. 따라서 트랜스포머 자속 밀도가 정상 작동 제한 이상에서 계단식으로 상승하는 것을 허용합니다. 하지만, 선택한 디바이스의 최대 전류 제한에서 3600가우스 값은 LYTSwitch-6 IC에 내장된 보호 기능과 함께 충분한 마진을 제공하여 이러한 출력 단락 상태에서 코어 포화를 방지할 수 있습니다.

최대 자속 밀도, B_{MAX}(가우스)

경부하로 인한 저주파 작동은 트랜스포머의 구조에 의해 증폭되는 (특히 긴 코어를 사용한 경우) 가청 주파수 성분을 생성할 수 있습니다. 가청 노이즈 생성을 제한하려면 정상 작동 중에 최대 코어 자속 밀도가 3000가우스보다 낮도록 트랜스포머를 설계해야 합니다. 이 지침을 따르고 표준 일반 함침 일반 트랜스포머 생산 기술을 사용하면 가청 노이즈를 거의 없앨 수 있습니다. 하지만 설계를 마무리하기 전에 먼저 단순 생산 트랜스포머를 사용하여 가청 노이즈를 최적화해야 합니다.

AC 자속 밀도, BAC(가우스)

BAC 값은 코어 손실 계산에 사용할 수 있습니다.

갭이 있는 코어 유효 인덕턴스, ALG(nH/N²)

코어 갭 지정에 사용됩니다.

플라이백 1차측 레이어, L

1차측 레이어 수는 1~3 사이여야 하고 강제 공기 냉각이 없는 설계의 경우 200 - 500 원형 mils/A의 전류 용량 지침을 충족해야 합니다. 레이어가 3개 이상은 가능하지만 증가된 누설 인덕턴스와 실제 가능 여부를 고려해야 합니다.

1차측 권선 전선 게이지, AWG

오버라이드 셀을 비워둘 경우 스프레드시트에서 지정된 1차측 레이어 수(L)를 바탕으로 AWG 와이어 크기를 계산합니다.

1차측 바이어스 턴 수, NB

결정 요인:

$$NB = Ceiling\left(NS \times \frac{VBIAS}{VO}\right)$$

2차측 턴 수, N_s

기본적으로 2차측 최소 턴 수는 피크 작동 자속 밀도 BP가 권장되는 최대값인 3600가우스 이하로 유지되도록 계산됩니다. 일반적으로 낮은 작동 자속 밀도를 원하는 설계를 제외하고 오버라이드 셀 수를 입력할 필요는 없습니다.

8단계 - 1차측 부품 선택

입력: 브라운인 전압, V_{BIAS} , V_{VF_BIAS} 제너 클램프

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVF S^2PFC)
114	1차측 부품 선택					
115	라인 저전압					
116	BROWN_IN_REQUIRED	70.00		70.00	V	필수 AC RMS 라인 전압 브라운인 기준점 (Threshold)
117	RLS			1.74	MOhm	V핀에 직렬로 연결된 이 값의 저항 2개
118	BROWN_IN_ACTUAL			69.80	V	실제 AC RMS 브라운인 기준점
119	라인 과전압					
120	OVERVOLTAGE_LINE			290.83	V	실제 AC RMS 라인 과전압 기준점
121	바이어스 전압					
122	VBIAS			12.00	V	정류 바이어스 전압
123	VF_BIASDIODE			0.70	V	바이어스 권선 다이오드 포워드 전압 강하
124	VRRM_BIASDIODE			62.64	V	바이어스 다이오드 역전압
125	CBIAS			22.00	μF	바이어스 권선 정류 커패시터
126	CBPP			4.70	μF	BPP 핀 커패시터
127	벌크 커패시터 제너 클램프					
128	클램프 사용	있음		있음		벌크 커패시터 클램프가 필요하십니까? 예, 아니오 또는 해당 없음
129	VZ1_V			200.00	V	제너 1 정격 전압(제너 2와 직렬로 연결)
130	PZ1_W			1.25	W	제너 1 최소 정격 전력
131	VZ2_V			200.00	V	제너 2 정격 전력
132	PZ2_W			1.25	W	제너 2 최소 정격 전력
133	RZ			4700.00	Ohm	제너 1 및 제너 2와 직렬로 연결된 저항

그림 16. 설계 스프레드시트의 1차측 부품 선택 섹션

브라운인 전압, BROWN_IN_REQUIRED (V)

입력 AC 전압으로 브라운인 기준점(I_{UV+})을 초과하면 파워 서플라이가 켜지는 값입니다.

라인 센싱 저항, RLS(MΩ)

라인 센싱 저항 RLS는 브라운인 전압 및 라인 과전압 기준점 (Threshold)을 설정합니다. 일반적으로 두 개의 저항(직렬 RLS1 및 RLS2)으로 표시되며 벌크 커패시터에 연결됩니다.

$$RLS = \frac{V_{BROWN_IN_REQUIRED} \times \sqrt{2}}{I_{UV+}}$$

라인 과전압, OVERVOLTAGE_LINE(V)

입력 AC 전압으로 과전압 기준점(I_{OV})을 넘는 즉시 파워 서플라이가 스위칭을 중단하는 값입니다. 스위칭은 라인 과전압 히스테리시스 ($I_{OV(H)}$)에 도달할 시 재활성화됩니다.

$$OVERVOLTAGE_LINE = \frac{I_{OV} \times RLS}{\sqrt{2}}$$

정류 바이어스 전압, VBIAS (V)

기본값은 12V로 가정합니다. 이 전압은 예를 들어, 바이어스 권선 출력도 1차측(비절연) 보조 출력으로 사용되는 경우 다른 값으로 설정할 수 있습니다. 일반적으로 전압이 높으면 무부하 전력 소비가 커집니다. 경부하 상태에서는 PRIMARY BYPASS 핀에 공급할 전류가 부족할 수 있기 때문에 무부하 입력 전력 소비가 크게 늘어날 수 있어 10V 이하의 값을 사용하지 않는 것이 좋습니다.

바이어스 다이오드 포워드 전압 강하, VF_BIASDIODE(V)

기본값은 0.7V가 사용됩니다. 이 값은 바이어스 권선 정류에 사용된 다이오드 유형에 따라 변경되어야 합니다.

BPP 핀 커패시터, CBPP(μF)

CBPP는 디바이스의 작동 ILIMIT_MODE를 결정합니다. STANDARD 전류 제한에는 0.47μF를 사용하고 INCREASED 전류 제한에는 4.7μF를 사용합니다. 커패시터는 전해 또는 세라믹 유형일 수 있습니다. 표면 실장 적층형 세라믹 커패시터가 IC에 가까이 커패시터를 배치할 수 있으므로 일반적으로 양면 보드에는 표면 실장 적층형 세라믹 커패시터가 선호됩니다. 정격 전압이 25V 이상인 세라믹 X7R(또는 이보다 우수한) 커패시터가 권장됩니다.

1차측 바이어스 서플라이 부품(CBIAS, DBIAS, RBP)

PRIMARY BYPASS 핀에는 파워 MOSFET이 OFF 상태일 때마다 DRAIN 핀의 전압에서 전류를 끌어와 PRIMARY BYPASS 핀 커패시터를 V_{BPP} 로 충전하는 내부 레귤레이터가 있기는 하지만 일반적으로 추가 1차측 보조 권선을 통한 외부 바이어스 서플라이가 사용됩니다. 이를 통해 IC의 무부하 전력 소비가 줄어듭니다.

바이어스 서플라이 필터 CBIAS에는 22μF, 50V, 낮은 ESR 전해 알루미늄 커패시터가 좋습니다. 낮은 ESR 전해 커패시터가 무부하 입력 전력을 줄이기 때문에 이를 사용하는 것이 좋습니다. 세라믹 표면 실장형 커패시터는 커패시터의 기계적 특성으로 인한 압전기 효과가 가청 노이즈를 발생시킬 수 있으므로 권장하지 않습니다.

바이어스 권선 정류기 다이오드 DBIAS는 표준 리커버리 또는 빠른 리커버리 유형일 수 있습니다. 전자는 방사 EMI가 낮지만 후자는 무부하 입력 전력을 낮추는 경향이 있습니다.

1차측 바이어스 서플라이에서 공급하는 전류가 PRIMARY BYPASS 핀 공급 전류(I_{SSW})보다 높도록 저항 RBP가 선택됩니다. I_{SSW} 는 다음과 같이 계산됩니다.

$$I_{SSW} = \frac{F_{SW}}{132 kHz} \times (I_{S2} - I_{S1}) + I_{S1}$$

여기서,

- I_{SSW} : 작동 스위칭 주파수에서 PRIMARY BYPASS 핀의 서플라이 전류.
- F_{SW} : 작동 스위칭 주파수(kHz) - FSMIN 및 FSMAX의 평균.
- I_{S1} : 비스위칭 PRIMARY BYPASS 핀 전류(데이터시트 참고).
- I_{S2} : 132kHz에서 PRIMARY BYPASS 핀 서플라이 전류(데이터시트 참고)

바이어스 전류가 PRIMARY BYPASS 핀 공급 전류보다 크면 BPP 전압은 ~5.3V가 됩니다. BPP 전압이 ~5.0V인 경우 RBP를 통한 전류가 필요한 PRIMARY BYPASS 핀 공급 전류보다 낮다는 뜻입니다. PRIMARY BYPASS 핀 전압은 기동 시를 제외하고 절대 5.0V보다 낮아지지 않아야 합니다.

RBP 결정 요인:

$$RBP = \left(\frac{VBIAS_{NO-LOAD} - 5.3V}{I_{SSW}} \right)$$

벌크 커패시터 제너 클램프 선택

예로 설정하면 스프레드시트에서 제너 정격 전압(VZ1_V, VZ2_V), 정격 전력(PZ1_W, PZ2_W) 및 직렬 저항 RZ를 계산합니다.

PFC 다이오드, DBOOST1 및 DBOOST2

PFC 인덕터 LBOOST와 직렬로 배치되는 PFC 다이오드(DBOOST1 및 DBOOST2)는 PFC 인덕터에 저장된 에너지에 대한 전류 경로를 제공하며 이는 MOSFET이 오프 상태인 동안 2차측으로 전달해야 합니다. 하지만, MOSFET이 오프 상태일 때 PFC 인덕터의 공진 전압 링은 PFC 다이오드에 걸쳐 큰 전압 링을 유발합니다. 다음에 기반하여 PFC 다이오드를 선택합니다.

- 하이 라인/유니버설 입력의 경우 2 x 600V, 초고속 리커버리 다이오드를 직렬로 사용합니다.
- 로우 라인 입력의 경우 1 x 600V, 초고속 리커버리 다이오드를 사용합니다.
- 대부분의 경우 정격 전류는 1A로 충분하지만 필요한 경우 디바이스 온도를 낮추기 위해 더 높은 정격이 사용될 수 있습니다.

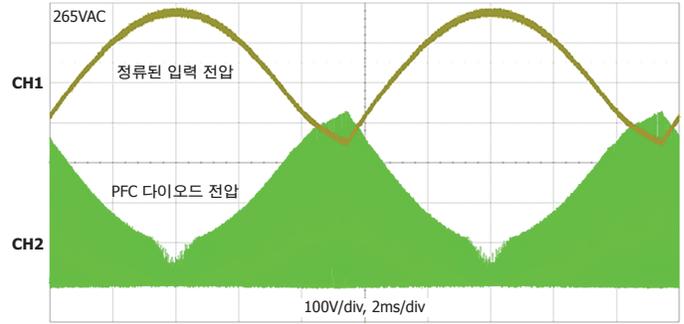


그림 17. PFC 다이오드에 걸친 전압 스트레스

블로킹 다이오드-벌크 커패시터, DBLOCK

블로킹 다이오드 DBLOCK은 벌크 커패시터에서 정류된 AC 입력을 분리합니다. 또한 벌크 커패시터를 충전할 전류 경로를 제공하기 때문에 특히 로우 라인에서 효율이 개선됩니다.

정격 전압이 600V이고 정격 전류가 1A인 표준 리커버리 다이오드가 권장됩니다.

9단계 - 2차측 컨트롤러 부품 선택

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SV S^2PFC)
134	2차측 부품 선택					
135	IS 핀 부품					
136	R_ISpin			33.60	mOhm	IS 핀 1% 저항의 비표준 값
137	피드백 부품					
138	RFB_UPPER			102.00	kOhm	상단 피드백 1% 저항
139	RFB_LOWER			3.30	kOhm	하단 피드백 1% 저항
140	CFB_LOWER			330.00	pF	하단 피드백 저항 디커플링(최소 5V의 정격 커패시터에서)
141	CBPS			2.20	μF	BPS 핀 커패시터

그림 18. 설계 스프레드시트의 2차측 부품 선택

전류 센싱 저항, RIS(mΩ)

외부 전류 센싱 저항(R_ISPIN)은 정전류(CC) 기준점(Threshold)을 설정합니다. 스프레드시트에서는 지정된 출력 전류 IO도 CC 기준점(Threshold)으로 간주합니다. 따라서 전류 센싱 저항 값은 다음과 같이 계산됩니다.

$$R_{ISPIN} = \frac{I_{SV(TH)}}{IO}; I_{SV(TH)} = 35.9 \text{ mV}$$

전류 센싱 보호 다이오드, DIS

이 다이오드는 전류 센싱 저항에 걸쳐 연결되어 출력 단락 중 디바이스를 보호합니다.

상단 피드백 저항, RFB_UPPER(kΩ)

OUTPUT VOLTAGE 핀과 SECONDARY GROUND 핀 사이에 연결된 외부 저항 분배기 네트워크(RFB_UPPER, RFB_LOWER)의 중간 지점은 FEEDBACK 핀에 연결되어 출력 전압을 레귤레이션합니다. 내부 전압 비교기의 레퍼런스 전압은 V_{REF} (1.265 V)입니다.

RFB_UPPER의 기본값은 102kΩ입니다. 하지만, 엄격한 무부하 입력 전력 요구 사항이 있는 용도의 경우 이 값을 조정하여 특히 정격 출력 전압이 20V 이상인 경우에 무부하 전력 소비를 줄일 수 있습니다.

하단 피드백 저항, RFB_LOWER(kΩ)

RFB_LOWER 저항은 RFB_UPPER 값을 사용하여 계산됩니다.

하단 피드백 저항 디커플링 커패시터, CFB_LOWER (pF)

IC의 FEEDBACK 및 GROUND 핀 가까이에 연결된 330pF, 표면 실장형 X7R 세라믹 커패시터가 권장됩니다.

2차측 바이패스 핀 커패시터, CBPS(μF)

이 커패시터는 내장된 2차측 컨트롤러에 대한 전압 서플라이 디커플링 커패시터로 작동합니다. 표면 실장 2.2μF, 25V, X5R 또는 X7R 세라믹 커패시터가 권장됩니다.

FORWARD 핀 저항, RFWD(Ω)

FORWARD 핀은 동기 정류기 FET(SR FET)의 드레인 단자에 연결되어 있습니다. 이 핀은 SR FET의 드레인 전압을 감지하고 디바이스를 정밀하게 켜고 끄는 데 사용됩니다. 또한 출력 전압이 SECONDARY BYPASS 핀 전압보다 낮아질 때마다 SECONDARY BYPASS 핀 커패시터 (CBPS)를 충전하는 데 사용됩니다.

47Ω, 5% 저항을 사용하여 충분한 IC 서플라이 전류를 확보하고 다양한 출력 전압에서 작동하도록 하는 것이 좋습니다. 이 값을 변경하면 동기 정류기 드라이브 타이밍에 부정적인 영향을 줄 수 있습니다. FORWARD 핀의 전압이 절대 최대 전압을 넘지 않도록 주의해야 합니다. FORWARD 핀 전압이 절대 전압(데이터 시트 참조)을 넘어설 시 IC가 손상됩니다.

2차측 보조 권선을 사용한 경우 예를 들어, 출력 전압이 24V 이상이면 일반적으로 FORWARD 핀이 RFWD를 통해 보조 권선에 연결됩니다.

10단계 – 2차측 보조 설계

입력: VAUX, VF_AUX, CAUX

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVF S^2PFC)
142	2차측 보조 섹션 - VO의 경우 > 24V 이상만					
143	섹션 보조 다이오드					
144	VAUX			12.00	V	정류된 보조 전압
145	VF_AUX			0.70	V	보조 권선 다이오드 포워드 전압 강화
146	VRRM_AUXDIODE			62.64	V	보조 다이오드 역전압
147	CAUX			22.00	μF	보조 권선 정류 커패시터
148	NAUX_SEC			5.00		2차측 보조 턴 수
149	AWGSAUX			32		2차측 보조 권선 AWG

그림 19. 설계 스프레드시트의 2차측 보조 섹션

2차측 보조 전압, VAUX(V)

OUTPUT VOLTAGE(VOUT) 핀의 최대 정격 전압은 27V입니다. 출력 전압 요구 사항이 24V 이상인 설계의 경우 VOUT 및 FWD 핀 센싱에 보조 권선을 추가하는 것이 좋습니다.

기본적으로 2차측 보조 전압은 12V로 설정됩니다.

보조 다이오드 포워드 전압 강화, VF_AUX(V)

0.7V의 기본값이 사용되지만 보조 권선 정류에 사용된 다이오드 유형에 따라 변경해야 합니다.

보조 정류기 역전압, VRRM_AUXDIODE(V)

이 파라미터는 2차측 정류기 최대 입력 전압에서 최대 전압 스트레스입니다(-누설 스파이크 효과 무시).

2차측 바이어스 서플라이 부품(CAUX, DAUX)

2차측 보조 서플라이 필터 CAUX에는 22μF, 50V 낮은 ESR 전해 알루미늄 커패시터가 좋습니다.

2차측 보조 권선 정류기 다이오드(DAUX)는 정격 전압이 200V인 표준 리커버리 유형이어야 합니다. 계산된 VRRM_AUXDIODE가 낮을 수 있지만 콜드 기동과 같은 조건에서는 누설 스파이크가 100V를 초과할 수 있습니다. 또한 FORWARD(FWD) 핀 최대 정격 전압인 150V를 초과하면 안 됩니다. 단기 펄스라도 이 값을 초과하면 IC 손상을 초래할 수 있습니다. 보통 메인 출력 정류기의 R-C 스너버로 이를 충분히 방지할 수 있습니다. DAUX에 R-C 스너버를 추가하는 것은 선택 사항이지만 누설 스파이크가 150V 제한에 도달하는지 여부를 고려해야 합니다.

11단계 – 출력 정류기 및 커패시터 선택

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	입력	정보	출력	단위	Switched Valley-Fill 싱글 스테이지 PFC(SVF S^2PFC)
154	출력 부품					
155	VF			0.70	V	출력 다이오드 순방향 강하
156	VRRM			191.93	V	출력 다이오드 역전압
157	COUT			222.22	μF	출력 커패시터 - 커패시턴스
158	COUT_VOpercentRip			2.50	%	VOUT의 출력 커패시터 리플 비율
159	ICOUTrms			1.37	A	출력 커패시터 예상 리플 전류
160	ESRmax			232.28	mOhm	출력 커패시터 최대 권장 ESR

그림 20. 실제 스프레드시트의 출력 정류기 및 커패시터 섹션

출력 정류기 순방향 전압 강하, VF(V)

0.7V의 기본값이 사용되지만 2차측 메인 출력 권선 정류에 사용된 여러 다이오드 유형에 따라 변경해야 합니다.

출력 정류기 역전압, VRRM(V)

이 파라미터는 보조 정류기 최대 입력 전압에서 최대 전압 스트레스입니다(누설 스파이크 효과 무시). 정격 전압을 선택할 때는 누설 스파이크를 고려하여 추가적인 마진을 제공해야 합니다.

$$VRRM = VOUT + VACMAX \times 1.414 \times \frac{NS}{NP}$$

출력 정류기, DOUT

최상의 효율을 얻으려면 가능한 동기 정류기 FET(SR FET)를 사용합니다. 일반적인 SR 핀 드라이브 전압 값은 4.4V입니다. SR FET 선택 시 1.5V~2.5V의 게이트 기준 전압이 좋습니다. 기준 전압이 4V에 이르는 MOSFET는 데이터시트에서 4.5V의 게이트 전압에 대한 모든 온도 영역에서 $R_{DS(ON)}$ 를 명시하는 경우에 사용할 수 있습니다.

계산된 VRRM이 150V를 초과하는 고효율 전압 설계에서 SR FET 대신 저가형 초고속 다이오드를 사용할 수 있으려면 SYNCHRONOUS RECTIFIER DRIVE 핀을 SECONDARY GROUND 핀에 연결해야 합니다.

출력 정류기 스너버, RSR(Ω), CSR(nF)

출력 권선의 누설 리액턴스와 출력 정류기의 출력 커패시턴스(C_{OSS}) 간 상호작용은 1차측 MOSFET이 켜질 때 권선 전압 역전 시 전압 링잉이 발생하게 됩니다. 이 링잉은 출력 정류기 양단에 연결된 RC 스너버를 이용하여 억제할 수 있습니다. $10\Omega \sim 47\Omega$ 범위의 스너버 저항을 사용해야 합니다(높은 저항 값은 효율이 현저히 떨어짐). $1 \sim 2.2nF$ 의 커패시터 값은 대부분의 설계에 적합합니다.

커패시터 크기 조정을 위한 목표 출력 전압 리플,**COUT_VOpercentRip(%)**

이 파라미터는 최소 출력 커패시턴스를 계산하는 데 사용되는 목표 출력 전압 리플 백분율을 설정합니다.

출력 커패시턴스, COUT(μF)

최소 권장 출력 커패시턴스(COUT)는 목표 전압 리플(COUT_VOpercentRip)을 바탕으로 계산됩니다. 낮은 출력 전류 리플이 필요한 경우 더 높은 커패시턴스가 사용될 수 있습니다. 실제 LED 부하를 검증해야 합니다. LED 스트링마다 실제 리플 전류를 결정하는 다양한 동적 임피던스 특성을 가지고 있습니다. 일반적으로 낮은 ESR 방식의 커패시터를 사용하여 출력 전압 리플을 감소시킵니다.

12단계 - 기타 주요 부품 선택

1차측 클램프 네트워크(DSN, RS, RSN 및 CSN)

Worst case(예: 최대 입력 전압에서 출력 단락)에서 IC의 V_{DSS} 정격을 초과하지 않도록 하기 위해서는 1차측 클램프가 권장됩니다.

그림 21은 설계에서 일반적인 클램프 구성 3가지를 보여줍니다. 표 7은 각 회로 접근 방식의 장단점을 보여줍니다.

입력 필터 및 보호

그림 22는 일반적인 LYTSwitch-6 설계에서 사용되는 일반 입력 보호 부품과 EMI 필터 부품 정렬을 보여줍니다.

퓨즈 F1은 돌발 고장 발생 시 과전류 보호를 제공하며 AC 라인에서 파워 서플라이를 분리합니다. 기동 중에 벌크 커패시터 충전의 높은 돌입 전류로 인한 잘못된 동작을 방지하기 위해 시간 지체 퓨즈가 주로 사용됩니다. 230/240VAC 입력 시스템에는 250VAC 정격을 사용하고

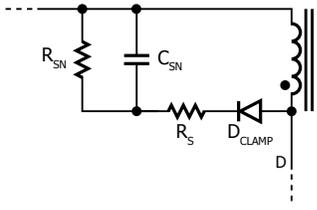
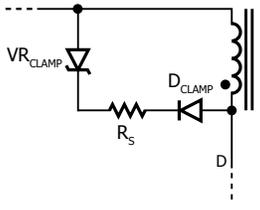
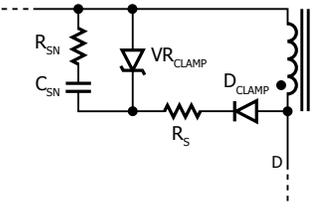
일반적인 1차측 클램프 구성		
R2CD	제너	R2CD + 제너
 <p>PI-8502-041818</p>	 <p>PI-8504-041818</p>	 <p>PI-8503-041818</p>

그림 21. 권장 1차측 클램프 부품.

1차측 클램프 회로			
장점	R2CD	제너	R2CD + 제너
부품 비용	낮음	중간	높음
무부하 입력 전력	높음	낮음	중간
경부하 효율	낮음	높음	중간
EMI 억제	높음	낮음	중간

표 7. 1차 클램프 회로의 장점.

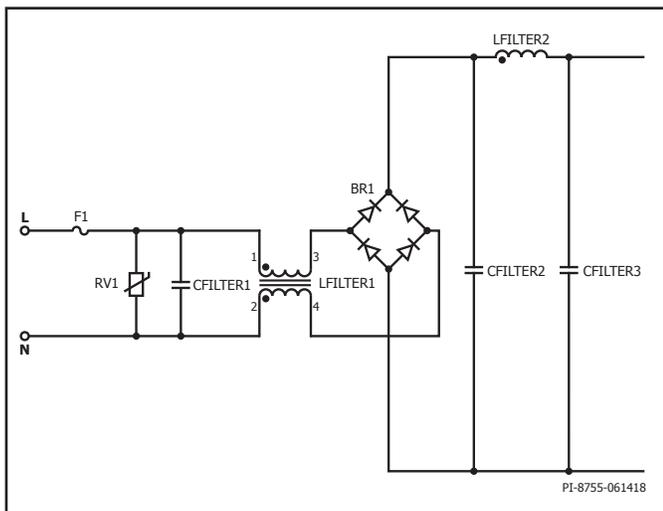


그림 22. LYTSwitch-6 설계에서 입력 필터 구성

277VAC 입력 시스템에는 300VAC 정격을 사용합니다. 최소 입력 전압에서 정격 전류는 최대 전류보다 커야 합니다. I_{RMS} 정격은 돌입 서지 이벤트 중에 측정된 I_{RMS} 보다 커야 합니다.

브릿지 정류기 BR1은 AC 라인을 정류합니다. 브릿지 정격 전압은 특히 2.5kV 링 웨이브 내성이 필수인 경우 1kV로 설정하는 것이 좋습니다. 정격 전류는 최대 작동 전류보다 커야 합니다. 전력 손실 및 서열 측정을 바탕으로 적절한 패키지 크기를 선택합니다.

배리스터 VR1은 서지 이벤트 중에 기기를 보호합니다. 해당 정격 전압은 최대 AC 라인 전압보다 커야 합니다.

EMI 필터는 보통 CFILTER1, LFILTER1, CFILTER2, LFILTER2 및 CFILTER3으로 구성됩니다. CFILTER2는 특히 큰 $L_{FILTER2}$ 값이 필요한 경우 브릿지 정류기 다음에 배치해야 합니다. 라인 서지 또는 링 웨이브 중에 LFILTER2 자극이 발진을 크게 일으켜 브릿지 정류기의 정격 전압을 초과할 수 있습니다.

고역률을 유지하기 위해 총 입력 커패시턴스를 너무 크게 설정하지 마십시오. 필터 커패시턴스 크기 조정 시 적절한 근사치인 10nF/W를 사용합니다.

주요 애플리케이션 설계 고려 사항

무부하/경부하 작동 중 벌크 전압

스위칭 시마다 벌크 커패시터가 방전(전력 공급 시)된 다음 재충전됩니다. 부스트 인덕터에 저장된 에너지는 출력으로 전달되고 커패시터도 충전합니다.

무부하 또는 경부하 상태(정격 전력의 10% 미만)에서는 부스트 인덕터의 에너지(벌크 커패시터 충전 중)가 컨버터 수요보다 크기 때문에 벌크 전압이 점진적으로 증가하는 경향이 있습니다.

무부하 중에 오토-리스트ार्ट가 허용되는 경우 통합 라인 과전압 보호로 충분합니다. 하지만, 부하가 0~100%까지 다를 수 있는 3-in-1 디밍 또는 DALI와 같은 경우 오토-리스트ार्ट가 허용되지 않습니다.

다음과 같이 벌크 전압의 점진적 증가를 최소화하는 몇 가지 방법이 있습니다.

1. 높은 **RATIO_LBST_LFB** 값 사용. 그림 23과 같이 무부하 벌크 전압은 비율이 감소하면서 높아집니다. 필수 PF 또는 THD를 충족하기 위해 낮은 비율이 필요한 경우가 아니라면 무부하 벌크 전압에 영향을 주기 때문에 낮은 비율로 설정하지 않는 것이 중요합니다.

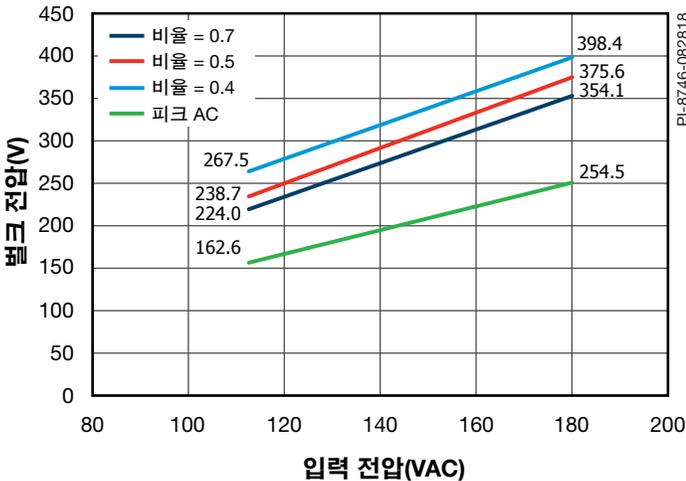


그림 23. 무부하 벌크 전압 대 LPFC/NOM 비율

2. 높은 정격 커패시터 사용. 저전력 설계에서는 벌크 커패시터의 정격 전압을 높이는 것으로 충분할 수 있습니다.
3. 드레인-소스 간에 **R-C-D 클램프 연결**. 비용 효율적인 솔루션이지만 효율이 낮아지고 무부하 전력이 높아질 수 있습니다.

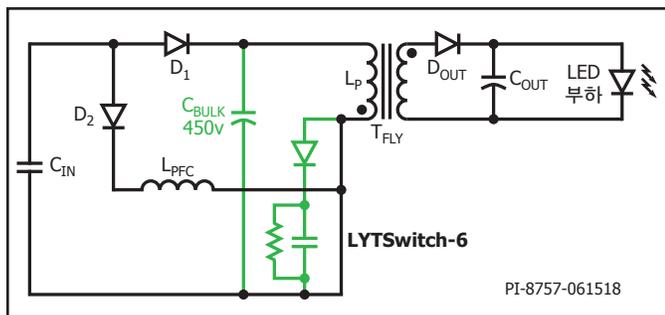


그림 24. 드레인에서 소스로 연결된 RCD 클램프

4. 벌크 커패시터에 걸쳐 제너 클램프 연결. 2개의 고전압 제너 다이오드와 저항 하나를 추가하는 비용으로 최고의 성능을 제공합니다.

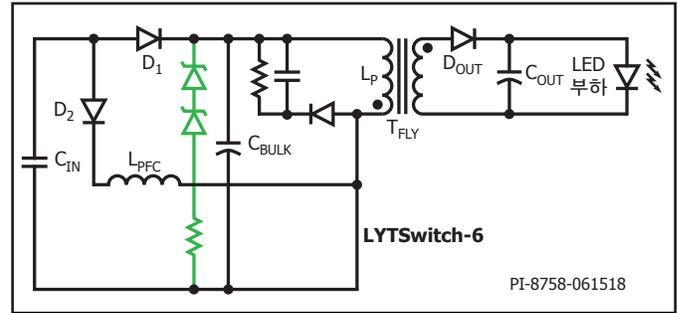


그림 25. 벌크 커패시터에 걸쳐 연결된 제너 클램프

VOUT Pin 및 FWD 핀 센싱에 보조 권선을 사용하는 CCM 설계에서의 전력 공급

DCM 작동 시 FWD 핀의 피크 전압은 출력 전압보다 높아지면서 1차측 컨트롤러 내 "ON" 사이클을 위한 2차측 요청을 전달하는 데 사용됩니다. 지능형 유사 공진 모드 스위칭이라고 하는 이 기능은 설계가 CCM으로 이동하면 비활성화됩니다.

FWD 핀 전압 센싱이 보조 권선을 통해 완료되면 보조 권선에서 제공한 정보가 2차측 다이오드의 실제 상태와 일치하지 않기 때문에 컨트롤러가 CCM으로 전환되지 않을 위험이 있습니다. 일반적인 경우, 메인 정류기는 계속 전도되지만 2차측 컨트롤러는 DCM 상태인지 확인합니다(FWD 핀 전압이 0V를 초과하여 컨트롤러에 정류기를 통과하는 전류가 이미 0으로 떨어졌다고 전달함). 이렇게 되면 컨버터가 CCM으로 전환되지 않아서 전력 공급이 줄어듭니다. 그림 30은 출력 전류 레귤레이션에서 CCM을 잘못 감지한 영향을 보여줍니다.

이 문제를 해결하는 방법은 2가지가 있습니다.

1. 보조 회로에 표준 리커버리 다이오드를 사용합니다. 그림 27은 표준 리커버리 다이오드를 사용하는 FWD 핀 전압 파형을 보여줍니다. 이를 초고속 다이오드를 사용하여 동일한 파형을 보여주는 그림 28과 비교합니다. 느린 역 리커버리 응답은 2차측 컨트롤러가 정류기는 계속 전도 중인 상태(CCM)에서 스위칭 요청을 시작하도록 합니다. 초고속 다이오드를 사용하여 FWD 핀 전압이 0V를 초과하여 2차측 컨트롤러가 DCM 작동 중이라고 간주하도록 합니다. 이 경우 FWD 핀 전압이 VO 핀 전압을 초과할 때까지 스위칭 요청을 하지 않습니다.
2. 샌드위치 보조 권선 기술(그림 26). 2차측과 보조 권선 간 커플링은 컨트롤러가 전류 신호를 감지하도록 합니다. 그림 29는 샌드위치 보조 기술 사용 시 FWD 핀 전압 파형을 보여줍니다.

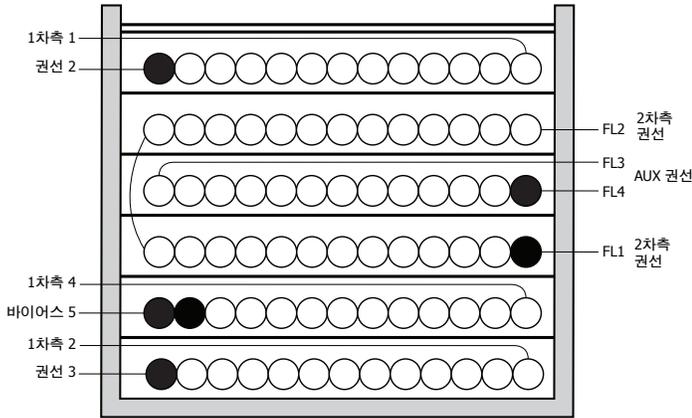


그림 26. 샌드위치 2차측 보조 권선 트랜스포머 구성.

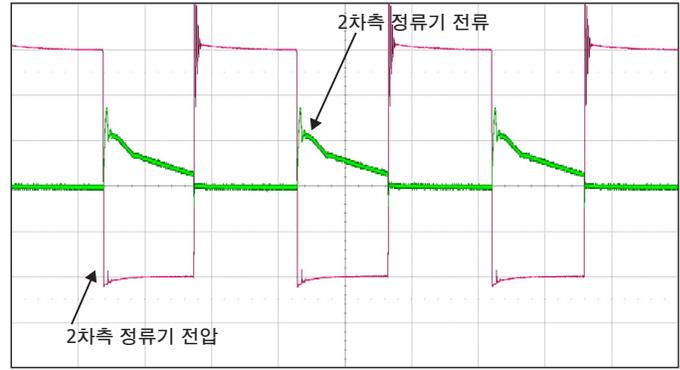


그림 29. 2차측 정류기 파형(초고속 다이오드 및 샌드위치 보조 권선 적용).

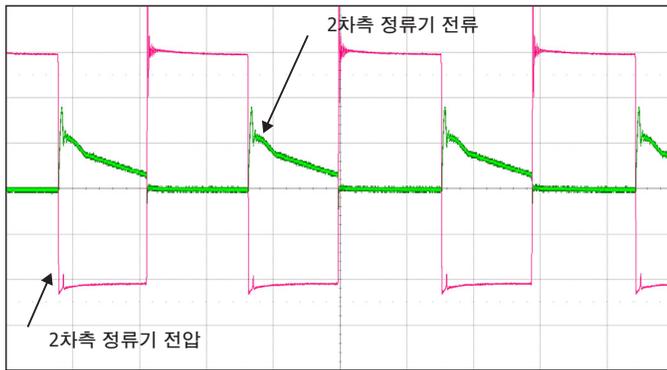


그림 27. 2차측 정류기 파형(느린 리커버리 다이오드 적용).

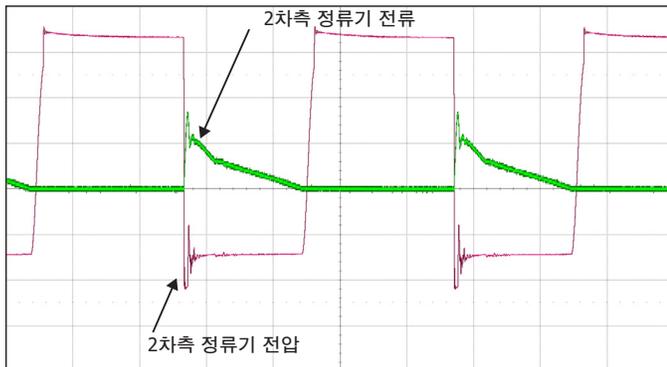


그림 28. 2차측 정류기 파형(초고속 다이오드 적용).

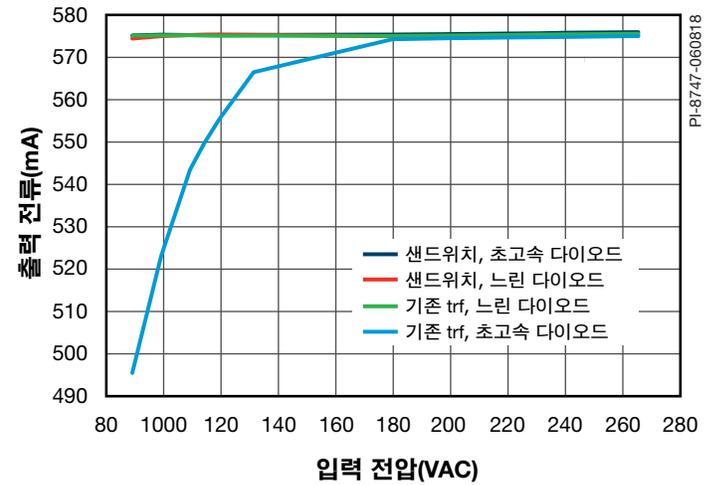


그림 30. 라인 레귤레이션 비교.

A-THD 감소를 위한 권장 사항

- 실제 LED 부하를 사용합니다.
- 낮은 RATIO_LBST_LFB를 사용합니다.
- 다른 VOR을 선택합니다. KP = 1에 가깝게 작동시킵니다.
- 입력 필터 커패시턴스를 줄이고 필터 인덕턴스를 늘립니다.

역률 증가를 위한 권장 사항(또는 PF에 영향을 주는 요소)

- 테스트에 실제 LED 부하를 사용합니다.
- 낮은 RATIO_LBST_LFB를 사용합니다.
- 입력 필터 커패시턴스를 줄이고 필터 인덕턴스를 늘립니다.
- 부스트 인덕터가 DCM으로 작동되는지 확인합니다.
- 벌크 커패시턴스를 늘립니다.

무부하 소비 전력 감소를 위한 권장 사항

- RFB(UPPER) 및 RFB(LOWER)를 조정합니다.
- RBP 값을 조정합니다.
- 1차측 클램프 커패시턴스를 줄입니다.
- 바이어스 서플라이 정류기 DBIAS에 대한 쇼트키 또는 초고속 다이오드를 사용합니다.
- 바이어스 서플라이 필터 커패시터 CBIAS에 대한 낮은 ESR 커패시터를 사용합니다.
- SR FET RC 스너버 커패시터 CSR을 줄입니다.
- 1차측 권선 레이어 간의 테이프와 1차측-2차측 권선 간의 멀티레이어 테이프를 추가하여 내부 권선간 커패시턴스를 줄입니다.

EMI 감소를 위한 권장 사항

- 적절한 부품 배치와 1차측 및 2차측 전원 회로의 루프 면적을 작게 유지하면 방사 및 전도 EMI를 최소화할 수 있습니다. 루프 면적을 작게 유지하도록 주의를 기울여야 합니다.
- 1차측의 클램프 다이오드에 병렬로 연결된 작은 커패시터는 방사 EMI를 줄입니다.
- 바이어스 권선과 직렬로 연결된 저항(2~47W)은 방사 EMI를 줄일 수 있습니다.
- 작은 저항과 1차측 및/또는 2차측 메인 권선과 직렬로 연결(<math><100\text{ pF}</math>)된 세라믹 커패시터(<math><22\text{ pF}</math>)는 전도성 및/또는 방사 EMI를 줄일 수 있습니다. 더 큰 커패시터는 무부하 소비 전력에 영향을 미칩니다.
- 커먼 모드 노이즈를 줄이려면 일반적으로 파워 서플라이 입력에 커먼 모드 초크가 필요합니다. 트랜스포머에서 쉴드 권선을 사용해도 동일한 성능을 얻을 수 있습니다. 또한 쉴드 권선은 입력 시 커먼 모드 필터 인덕터와 함께 사용하여 전도성 및 방사 EMI를 개선하는 데 사용할 수 있습니다.
- SR FET RC 스너버 부품값을 조절하면 고주파 방사 및 전도된 EMI를 줄이는 데 도움이 됩니다.
- 디퍼렌셜 인덕터 및 커패시터로 구성된 pi 필터를 입력 정류 회로 다음에 사용하여 저주파수 디퍼렌셜 EMI를 줄일 수 있습니다. 페라이트 비드를 추가하여 최소한의 비용으로 EMI 마진을 더 개선할 수 있습니다.
- 디퍼렌셜 인덕터에 걸쳐 저항을 사용하면 Q 인자를 줄여 10MHz 이상의 EMI를 줄일 수 있습니다. 이렇게 하면 5MHz 이하의 낮은 주파수 EMI를 약간 증가시킬 수 있습니다.
- 파워 서플라이 출력단에 연결되는 경우 1μF 세라믹 커패시터는 방사 EMI를 줄일 수 있습니다.
- 바이어스 정류기(D_{BIAS})로써 저속 다이오드(즉, $250\text{ ns} < t_{RR} < 500\text{ ns}$)는 일반적으로 20MHz를 넘는 전도 EMI 및 30MHz를 넘는 방사 EMI에 적합합니다.

써멀 관리를 위한 고려사항

SOURCE 핀은 IC 리드 프레임과 내부적으로 연결되며 디바이스의 열을 방출하는 주 경로가 됩니다. 따라서 SOURCE 핀은 단일 지점 그라운드

및 히트싱크 역할을 하도록 IC 아래의 동판 영역에 연결해야 합니다. 이 영역은 노이즈가 없는 그라운드와 연결되기 때문에 적절한 히트싱크를 위해서는 이 부분의 면적을 최대화할 수 있습니다. 출력 SR FET도 마찬가지로 열이 손실되는 패키지의 핀에 연결되는 PCB 영역을 최대화합니다.

IC 온도를 최대 절대 제한값 아래로 유지하려면 보드에 충분한 동판 영역을 제공해야 합니다. 정격 풀부하 및 가장 낮은 정격 입력 AC 공급 전압에서 파워 서플라이를 작동하는 경우 IC의 SOURCE 핀이 납땜된 PCB의 동판 영역은 IC 온도를 90°C 아래로 유지할 수 있을 정도로 넓어야 하며, 그 정도에 따라 더 많은 디레이팅을 적용할 수 있습니다.

빠른 설계 확인 목록

어떤 파워 서플라이를 설계하든 worst case에서도 부품의 정격을 초과하지 않는다는 점을 보증하기 위해 모든 LYTSwitch-6 설계의 작동을 검증해야 합니다. 최소한 다음 테스트는 수행하는 것이 좋습니다.

최대 드레인 전압 - LYTSwitch-6 IC 및 SR FET의 V_{DS} 가 정상 작동 및 기동 시 최고 입력 전압 및 최대 (과부하) 출력 전력 모두에서 항복 전압의 90%를 넘지 않는지 검증해야 합니다.

최대 드레인 전류 - 최고 주변 온도, 최대 입력 전압 및 피크 (과부하) 출력 전력에서 측정합니다. 기동 시 그리고 정상 상태 조건에서 나타나는 트랜스포머의 포화 또는 과도한 리딩 엣지 전류 스파이크의 신호가 나타나는지 드레인 전류 파형을 확인하십시오. 모든 조건에서 1차측 MOSFET의 최대 드레인 전류는 데이터 시트에 지정된 최대 정격 절대값 이하가 되어야 합니다.

써멀 검사 - 지정된 최대 출력 전력, 최소 입력 전압 및 최대 주변 온도에서 수행했습니다. LYTSwitch-6 IC, 트랜스포머, 출력 SR FET 및 출력 커패시터의 온도 사양 제한을 초과하지 않았는지 확인합니다. 부품간 LYTSwitch-6 1차측 MOSFET $R_{DS(ON)}$ 의 편차 때문에 충분한 써멀 마진이 필요합니다. 로우 라인, 최대 전력 조건에서 이러한 편차를 허용하기 위하여 최대 LYTSwitch-6 SOURCE 핀 온도 110°C를 권장합니다.

PCB 레이아웃 권장 사항

단일 지점 그라운드

입력 필터 커패시터에서 SOURCE 핀에 연결된 동판까지 단일 지점 그라운드를 사용합니다.

바이패스 커패시터

PRIMARY BYPASS(CBPP), SECONDARY BYPASS(CBPS) 및 피드백 디커플링 커패시터는 PRIMARY BYPASS – SOURCE, SECONDARY BYPASS – SECONDARY GROUND 및 FEEDBACK – SECONDARY GROUND 핀 바로 근처에 배치해야 합니다. 이러한 커패시터에 대한 연결은 최대한 짧은 패턴으로 라우팅해야 합니다.

신호 부품

피드백 정보 모니터링에 사용되는 외부 부품 RLS, RBP, RFB(UPPER), RFB(LOWER), RIS은 반드시 짧은 트레이스로 IC 핀에 최대한 가까이 배치해야 합니다.

주요 루프 면적

dv/dt 또는 di/dt가 높은 회로는 최대한 작게 소형으로 유지해야 합니다. 입력 필터 커패시터, 1차측 트랜스포머 및 IC를 연결하는 1차측 루프의 영역도 가능한 작게 유지해야 합니다. 어떤 루프 영역도 다른 루프 내부에 배치하지 않는 것이 좋으며, 이는 회로 간 교차 대화를 최소화해줍니다.

1차측 클램프 회로

클램프는 턴오프 시 DRAIN 핀의 피크 전압을 제한하는 데 사용됩니다. 이는 1차측 권선에 RCD 클램프 또는 제너 다이오드(~200V)와 다이오드 클램프를 사용하여 구성할 수 있습니다. EMI를 줄이려면 클램프 부품에서 트랜스포머와 IC까지의 루프를 최소화해야 합니다.

Y 커패시터

Y 커패시터는 1차측 벌크 커패시터 마이너스 단자 사이 및 트랜스포머 2차측 권선의 두 단자에 연결해야 합니다. 1차측 벌크 플러스 단자로의 연결은 블로킹 다이오드가 존재하기 때문에 권장하지 않습니다.

출력 정류기 다이오드

최상의 성능을 위해 2차측 권선, 출력 정류기 다이오드 및 출력 필터 커패시터의 루프 연결 면적을 최소화해야 합니다. 또한 효율적인 히트싱크를 위해 정류기 다이오드 단자에 충분한 동판 영역이 필요합니다.

ESD 내성

일반적으로 LED 드라이버 용도에는 ESD 내성이 필요하지 않습니다. 단, 다음 권장 사항은 ESD 내성 요구 사항이 있는 경우 사용됩니다.

ESD 또는 Hi-Pot 테스트 요건을 충족하려면 1차측과 2차측 회로 사이에 충분한 거리(8mm 이상)를 유지해야 합니다. 스파크 갭은 출력 리턴 및/또는 양극 단자와 퓨즈 뒤의 AC 입력 중 하나 사이에 배치하는 것이 가장 좋습니다. 이 구성에서는 관련 안전 표준의 연면거리 및 공간거리 요건을 충족하기 위해 6.4mm(고객 요구 사항에 따라 5.5mm 가능)의 스파크 갭이 더욱 적절합니다. 스파크 갭의 전압은 AC 피크 입력을 초과하지 않으므로 이러한 간격은 1차측에서 2차측까지의 간격보다 작을 수 있습니다.

드레인 노드

드레인 스위칭 노드에서 주로 노이즈가 생성됩니다. 따라서 드레인 노드에 연결된 부품은 IC에 가까이 배치하지만 민감한 피드백 회로에서는 멀리 떨어져 배치해야 합니다. 클램프 회로 부품은 PRIMARY BYPASS 핀에서 멀리 배치해야 합니다. 이 회로에 대한 트레이스 폭과 길이는 최소화해야 합니다.

PCB 레이아웃의 예

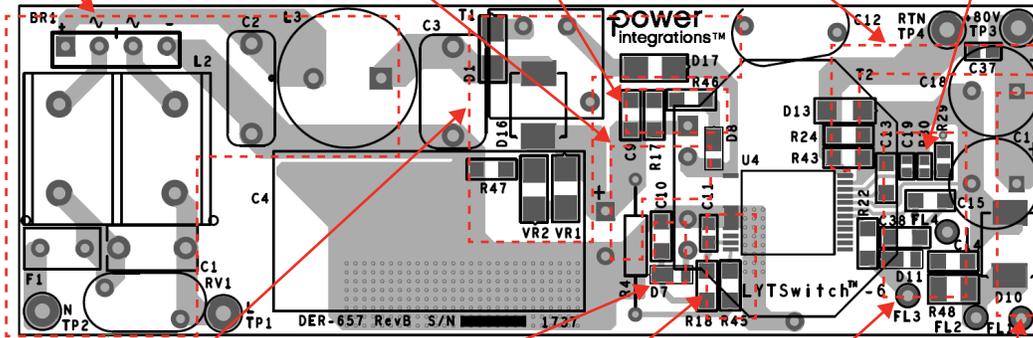
입력 회로(F1, RV1, BR1) 및 EMI 필터 - C1, L2, C2, L3은 di/dt 또는 dv/dt가 높은 스위칭 노드로부터 멀리 두어야 합니다.

벌크 커패시터 C4, 1차측 권선 NP, LYTSwitch-6 U4 D-S 핀으로 구성된 플라이백 1차 루프가 소형이고 작습니다.

D8, R46, C9//R17, NP로 구성된 1차 클램프 루프가 소형이고 작습니다.

COUTC37//C15, 센싱 저항 R24//R43과 LYTSwitch-6 IS-GND 핀으로 구성된 출력 루프가 2차측 루프(4)와 그라운드 경로를 공유하지 않습니다.

피드백 부품 R29, R30, C19, GND 핀은 하나의 그라운드 경로를 공유하고, 저항 R24//R43을 감지하기 위해 별모양으로 연결되어 있습니다.



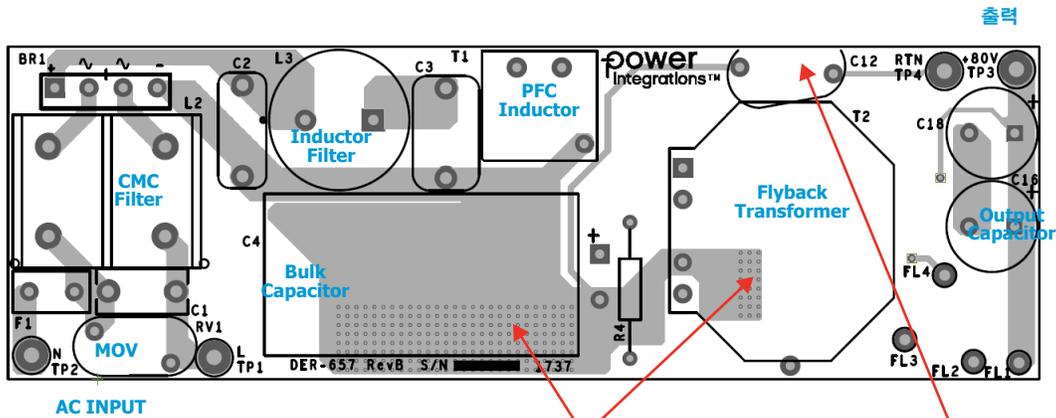
필터 C3, 프리휠 다이오드 D1+D17, T1, 1차측 권선 NP, 벌크 커패시터 C4로 구성된 PFC 루프가 소형이고 작습니다.

보조 권선 NB, D7, C10으로 구성된 바이어스 공급 루프가 소형이고 작습니다.

1차 신호 부품 C11, R18, R45, R4는 짧은 패턴으로 연결된 IC 핀과 가능한 가까이 배치되어 있습니다.

2차 신호 부품은 최대한 짧은 패턴으로 연결된 IC 핀과 가능한 가까이 배치되어 있습니다. 보조 권선 FL3-FL4, D11, C38은 소형이고 작습니다.

2차측 권선 FL1-FL2, COU C15//C37 및 정류기 D10으로 구성된 2차측 루프는 소형이고 짧고 작습니다.



SOURCE 핀의 동판 히트싱크가 최대화되었습니다.

RTN 및 C4(-)에 연결된 Y 커패시터.

참고

- 루프는 모두 분리되어 있으며 다른 루프 안에 있는 루프는 없습니다. 이렇게 하여 그라운드 임피던스 노이즈 커플링을 방지할 수 있습니다.
- DRAIN과 같이 dv/dt가 높은 노드의 패턴 표면 영역과 길이는 RFI 발생을 최소화하기 위해 가능한 작고 짧게 유지하십시오.
- Y 커패시터 및 피드백 리턴과 같은 신호 패턴(노이즈가 없는 패턴)을 제외하고, DRAIN, 트랜스포머 하기의 스위칭하는 쪽과 같은 노이즈가 심한 노드(high dv/dt 또는 di/dt)는 용량성으로 유도성 커플링 노이즈를 줄이기 위해서 짧게 라우팅할 수 있습니다.
- 신호 트레이스는 출력 커패시터와 같은 AC 스위칭 전류를 갖는 트레이스와 경로를 공유해서는 안 됩니다. 커패시터 패드에 대한 연결은 별모양으로 구성하여 그라운드 임피던스와 커플링된 노이즈를 방지해야 합니다.

PI-8585-082818

그림 31. TOP 및 BOTTOM측 - dv/dt 또는 di/dt가 높은 회로에 대한 짧은 루프 영역, 부품 배치 및 스파크 갭을 나타내는 이상적인 레이아웃 예시 (위치는 그림 19, 20 참조)

3-in-1 디밍 회로

그림 32에 표시된 PWM 회로는 PWM 및 아날로그 디밍을 지원합니다. 저항 디밍 및 0 - 10V 디밍 호환성도 필요한 경우 정전류 소스를 형성하는 R9, R10, Q2, D2 및 U2(그림 33)를 추가하면 됩니다. 그러면 가변 저항 입력을 적절한 가변 DC 신호로 변환합니다.

MOSFET Q1, C4 및 R11은 선택형 부품으로 AC 스타트업 시 일정한 출력 전류 비율로 프로파일을 증가시키기 위해 추가할 수 있습니다.

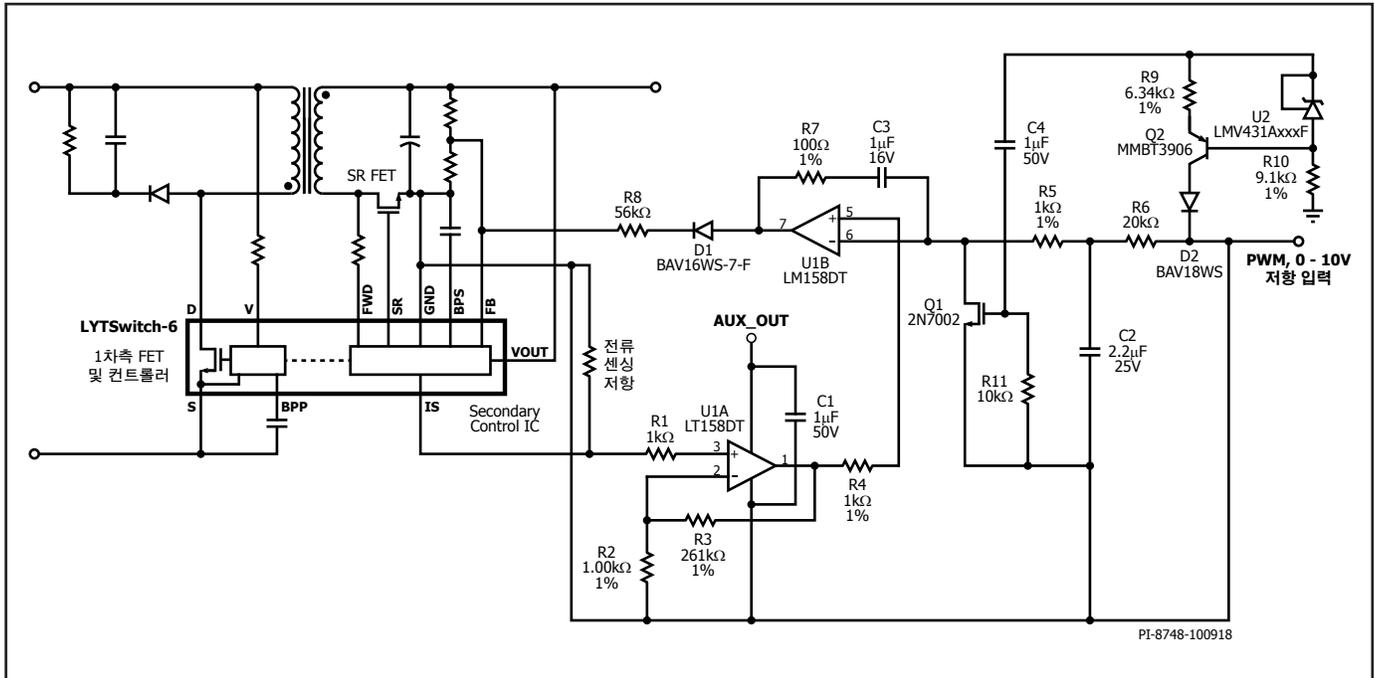


그림 33. 3-in-1 디밍 회로.

SR FET의 애플리케이션 설계 예제

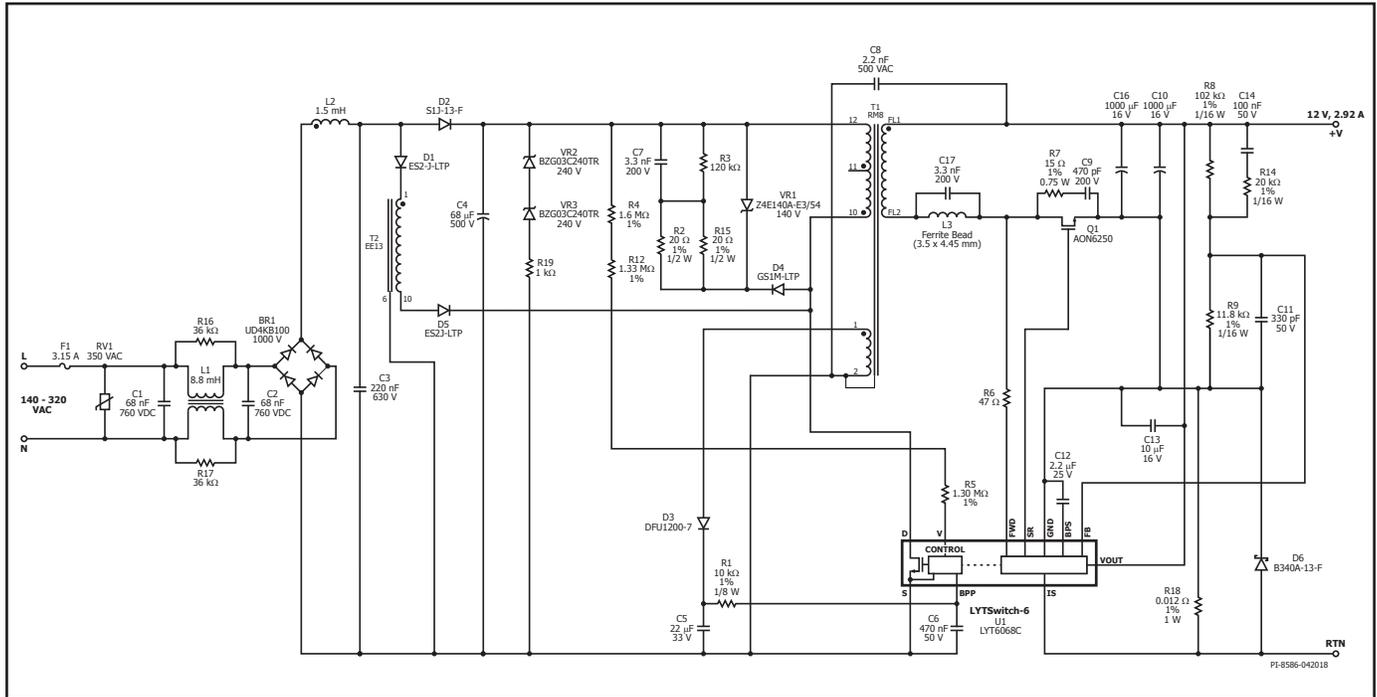


그림 34. 동기 정류가 적용되며 LYTSwitch-6 LYT6068C를 사용한 DER-637, 35W, 12V, 2.92A, 140VAC~320VAC 회로도

고효율, 35W, 12V 유니버설 파워 서플라이 LED 밸러스트(동기 정류 적용)

그림 34의 회로는 LED 조명용 일체형 역률 보정 회로가 있는 35W 절연 플라이백 파워 서플라이입니다. 이 회로는 정확한 전압 레귤레이션과 최대 2.92A의 출력 전류와 함께 12V의 정전압 출력을 제공하도록 설계되었습니다. 일반적으로 이 회로는 RGB 스마트 조명과 같이 다중 LED 스트링 설계에 포스트 레귤레이터가 사용된 경우에 유용합니다. 단일 LED 스트링 용도의 경우 12V~3V 출력에서 2.92A의 정확한 레귤레이션과 함께 정전압을 제공하며 라인 유도 리플을 방지합니다. 이 회로는 고효율이 되도록 최적화되었으며 140~320VAC의 입력 전압 범위에서 정확한 라인 및 부하 레귤레이션을 제공합니다. 또한 PF는 0.9 이상이고 230VAC에서 20% A-THD를 달성합니다.

입력단

퓨즈 F1은 열린 회로 보호 기능을 제공하여 심각한 부품 고장이 발생할 시 입력 라인으로부터 회로를 분리합니다. 배리스터 RV1은 전압 스파이크를 안전한 수준으로 클램핑하여 퓨즈 뒷단에 연결된 회로가 라인 과도상태 또는 서지로 인해 손상되지 않도록 보호합니다. 브릿지 다이오드 BR1은 AC 라인 전압을 정류하고 C3 및 C4로 구성된 입력 필터 커패시터에 전파 정류 DC 전압을 제공합니다. 회로는 C1, L1, C2, L2, C3로 구성된 2단계 LC EMI 필터를 적용하며 PFC 및 플라이백 스위칭 단계에서 발생한 디퍼렌셜 및 커먼 모드 노이즈를 억제합니다.

1차측 플라이백 단계

벌크 커패시터 C4는 라인 리플 전압을 필터링하며 에너지 저장 기능을 제공하여 DC 전압을 플라이백 단계에 공급합니다. 트랜스포머(T1) 1차 권선의 한쪽 끝은 벌크 커패시터(C4)의 플러스 단자에 연결되며 반대쪽은 LYTSwitch-6 IC (U1)에 내장된 650V 파워 MOSFET의 DRAIN 핀에 연결됩니다. 커패시터 C4는 또한 디퍼렌셜 전류를 필터링하여

전도 EMI 노이즈를 줄입니다. D4, R2//R15 및 R3//C7으로 구성된 저가형 RCD 1차 클램프는 트랜스포머 누설 인덕턴스로 인해 LYTSwitch-6 IC에 있는 내부 전원 MOSFET의 DRAIN 및 SOURCE 핀에 나타나는 전압 스파이크를 제한합니다. 클램프 제너 VR1이 적용되어 기동 중에 320VAC에서 풀부하로 드레인 전압 스파이크를 클램프합니다. RCD 1차 클램프 역시 방사 및 전도 EMI를 줄입니다. 벌크 커패시터 (C4)에 흐르는 전압이 감지되고 INPUT OVERVOLTAGE 핀 저항(R4 및 R12)을 통해 전류로 변환되면 라인 과전압뿐만 아니라 브라운인 전압도 감지됩니다. 과전압 기준점(I_{OV+})은 입력 과전압 기준점 (Threshold)을 결정하며, 저전압 브라운인 기준점(I_{UV+})은 턴 온 전압을 결정합니다.

LYTSwitch-6 IC는 AC가 처음 인가될 때 내부 고전압 전류 소스를 사용하여 PRIMARY BYPASS 핀 커패시터(C6)를 충전함으로써 자체적으로 가동됩니다. 정상 작동 중 1차측 블록은 트랜스포머 T1의 보조 권선에서 전력을 공급 받습니다. 표준 전류 제한의 경우 사용되는 PRIMARY BYPASS 핀 커패시터 C6의 값은 470nF입니다. 보조(또는 바이어스) 권선의 출력은 다이오드 D3를 사용하여 정류되고 커패시터 C5를 사용하여 필터링됩니다. 저항 R1은 PRIMARY BYPASS 핀에 공급되는 전류를 제한합니다.

PFC(역률 보정) 단계

역률 회로는 블로킹 다이오드(D1, D5)와 직렬로 연결된 인덕터(T2)로 구성되며, LYTSwitch-6 IC의 DRAIN 핀에 연결됩니다. 불연속 전도 모드(DCM)에서 작동하는 Switched Valley-Fill 싱글 스테이지 PFC(SVFS/PFC) 회로를 이용하여 고역률 보정이 이루어집니다. 인덕터 T2로부터의 DCM 스위칭 전류는 입력 전류의 형태를 구성하여 C3에서 정류된 전압이 C4의 DC 전압보다 낮을 시 유사 사인곡선을 형성합니다. 이는 고역률을 제공합니다.

MOSFET이 온 타임 상태인 동안 에너지는 PFC 인덕터(T2) 및 플라이백 트랜스포머(T1)에 저장됩니다. MOSFET이 OFF 상태인 동안 PFC 및 플라이백 인덕터에 저장된 에너지는 플라이백 트랜스포머 T1을 통해 2차측으로 전달됩니다.

다이오드 D2는 C3의 정류된 AC 입력을 C4로부터 분리하며 특히 로우 라인에서 벌크 커패시터 C4의 충전을 위한 전류 경로를 제공하여 효율을 높입니다. 프리휠 다이오드 D1과 D5는 PFC 인덕터에 저장된 에너지에 대한 전류 경로를 제공하며 이는 MOSFET이 턴오프 상태인 동안 2차측으로 전달해야 합니다. 다이오드 D1과 D5는 MOSFET이 OFF 될 시 PFC 인덕터에 발생하는 공진 전압 링을 견딜 수 있도록 직렬로 연결됩니다.

무부하 또는 경부하(즉, 10% 미만) 상태에서 PFC 인덕터(T2)에 저장된 에너지는 2차 부하에서 필요한 것보다 강할 수 있으며 PFC 인덕터로부터 발생하는 과잉 에너지는 벌크 커패시터 C4로 재활용되어 전압 수준을 높입니다. VR2 및 VR3로 구성되고 R19와 직렬인 제너 저항 클램프는 벌크 커패시터 C4에 걸쳐 연결되어 전압이 안전한 수준 이상으로 상승하지 않도록 제한합니다. 이 제너 클램프 전압은 벌크 커패시터 C4의 최대 정격 전압인 500V 이하(≤)여야 합니다. 라인 전압 서지 또는 과도 상태가 되면 IC의 과전압 유도 셋다운이 발생합니다.

2차측 스테이지

LYTSwitch-6 IC의 2차측 제어는 일정한 출력전압과 출력전류를 제공합니다. 트랜스포머의 2차측은 SR FET Q1에 의해 정류되고 출력 커패시터 C10과 C16에 의해 필터링됩니다. RC 스너버(R7, C9)를 SR FET에 걸쳐 추가하면 그에 따라 전압 스트레스가 줄어듭니다.

IC의 2차측은 FORWARD 핀을 통한 2차측 권선 포워드 전압 또는 OUTPUT VOLTAGE 핀을 통한 출력 전압으로부터 자체 구동합니다. 커패시터 C13은 LYTSwitch-6 IC (U1)의 SECONDARY BYPASS 핀에 연결되고 내부 회로에 디커플링 기능을 제공합니다.

정전압 작동 중에는 네트워크 분배기 저항 R8과 R9을 통해 출력 전압을 감지하여 출력 전압 레귤레이션이 이루어집니다. R9에 걸친 전압은 FEEDBACK 핀에서 모니터링하며 1.265V의 내부 레퍼런스 기준 전압과 비교하여 정확한 레귤레이션을 유지합니다. 바이패스 커패시터 C11은 FEEDBACK 및 SECONDARY GROUND 핀에 걸쳐 배치하여 고주파 노이즈를 필터링합니다. 이렇게 하지 않을 시 이는 피드백 신호에 커플링되어 펄스 그룹화와 같이 문제가 되는 상황이 발생합니다.

정전류 작동 중 최대 출력 전류는 센싱 저항 R18에 의해 설정됩니다. 센싱 저항에 걸친 전압은 ISENSE 핀의 내부 기준점(35.9mV)과 비교하여 정전류 레귤레이션을 유지합니다. 다이오드 D6는 전류 센싱 저항 R18과 병렬로 ISENSE 및 SECONDARY GROUND 핀에 걸쳐 전압을 클램프하여 출력 단락 상태 중에 출력 커패시터의 고전류 서지를 방지합니다.

보조 권선 및 3-in-1 DALI 디밍 애플리케이션 설계 예제

그림 35는 DER-740의 회로도를 보여줍니다. 자세한 내용은 DER-740을 참조하십시오.

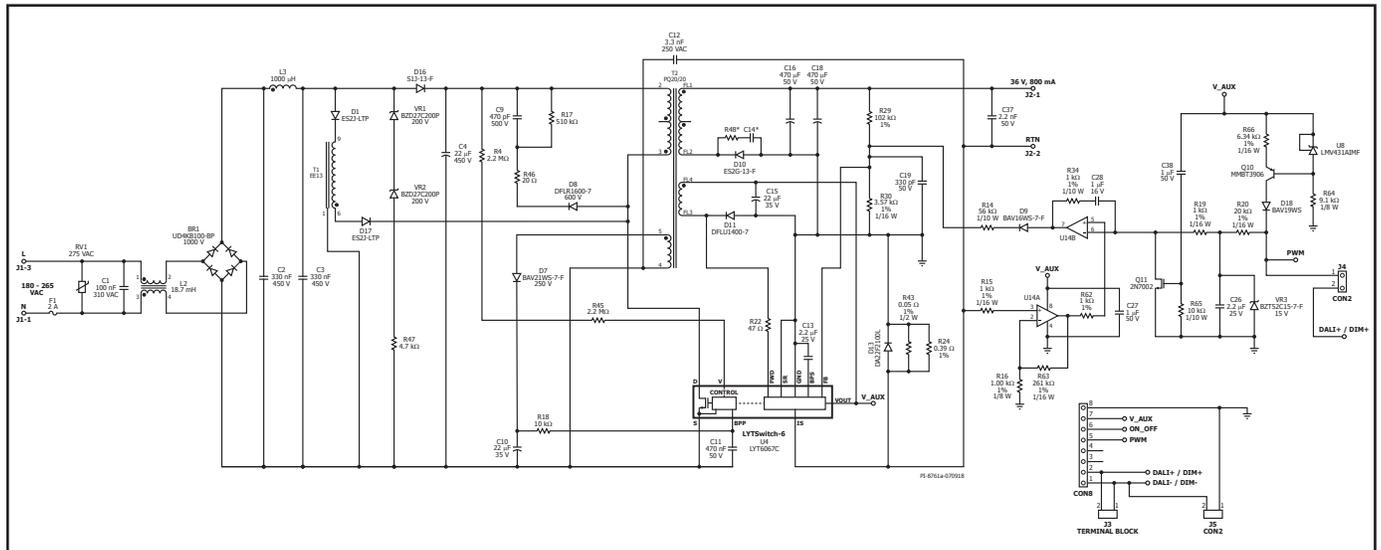


그림 35. DER-740 회로도

부록 – LYTSwitch-6 SVFS²PFC 회로 분석

개요

SVFS²PFC는 Switched Valley-Fill, Single-Stage Power Factor Correction의 약자입니다. 이 회로는 LYTSwitch-6 플라이백 회로 앞에 소형 커패시터 C_{FILTER}, 블로킹 다이오드 D_{PFC}와 D_{BLOCK} 및 PFC 인덕터 L_{PFC}를 배치하여 구성됩니다.

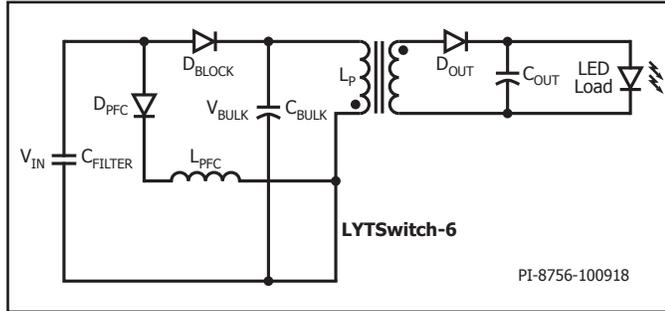


그림 36. 간소화된 SVFS²PFC 회로도

0.9보다 큰 역률 외에도, 이 회로의 주요 장점은 저주파 출력 전류 리플을 제거하는 것입니다(그림 37).

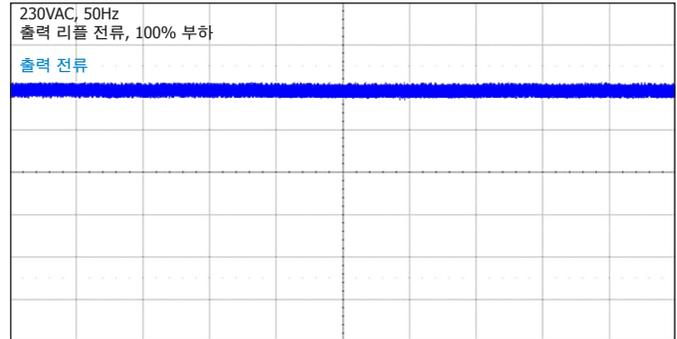


그림 37. LYTSwitch-6 + SVFS²PFC를 사용하는 출력 전류 리플 프로파일

SVFS²PFC 회로 분석

가정:

- 플라이백은 DCM 또는 CCM에서 작동합니다.
- PFC 인덕터는 DCM 상태입니다. 이 모드는 우수한 역률을 달성해야 합니다.
- 정류된 입력 전압(V_{IN})은 거의 제로 크로싱입니다.
- 벌크 전압 커패시터는 이미 프리차지되어 있습니다.

t0~t1 - 1차측 FET 턴온

PFC 전류 I_{PFC}

FET 턴 온 상태이면 PFC 다이오드(D_{PFC})가 순방향으로 바이어스됩니다. 전류는 입력에서 PFC 인덕터로 흐릅니다. PFC 전류는 다음 공식에서 정의된 대로 상승합니다.

$$\frac{di_{PFC}}{dt(t_0-t_1)} = \frac{V_{IN}}{L_{PFC}}$$

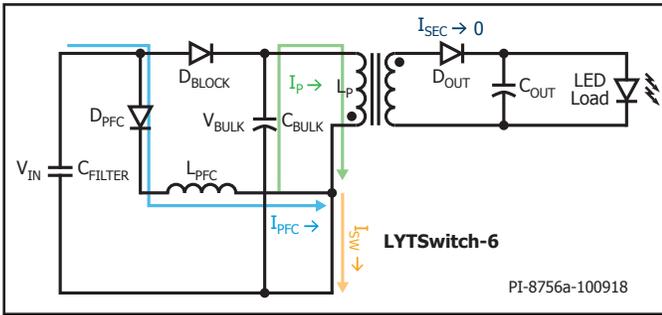


그림 38. t0~t1 사이 전류 흐름.

DCM에서 피크 PFC 전류는 다음과 같이 계산할 수 있습니다.

$$I_{PFC(PEAK)}, t_0 - t_1 = \frac{V_{IN}}{L_{PFC}} \times t_{ON}$$

1차측 권선 전류 I_P

1차측 트랜스포머 전류 슬로프는 다음과 같이 계산할 수 있습니다.

$$\frac{di_P}{dt(t_0-t_1)} = \frac{V_{BULK}}{L_P}$$

1차측 피크 권선 전류 I_P:

$$I_{P(PEAK)}, t_0 - t_1 = \frac{V_{BULK}}{L_P} \times t_{ON}$$

LYTSwitch-6 스위치 전류 I_{SW}

스위치 전류 I_{SW}는 PFC 인덕터 전류 I_{PFC}와 트랜스포머 권선 전류 I_P의 합입니다.

$$I_{SW(t_0-t_1)} = I_{PFC} + I_P$$

PFC 전류는 플라이백 전류보다 기여도가 작는데 이 시점에서는 정류된 입력 V_{IN}이 매우 낮기 때문입니다.

V_{IN}이 상승함에 따라 PFC 전류는 상승하는 반면 플라이백 전류는 감소합니다.

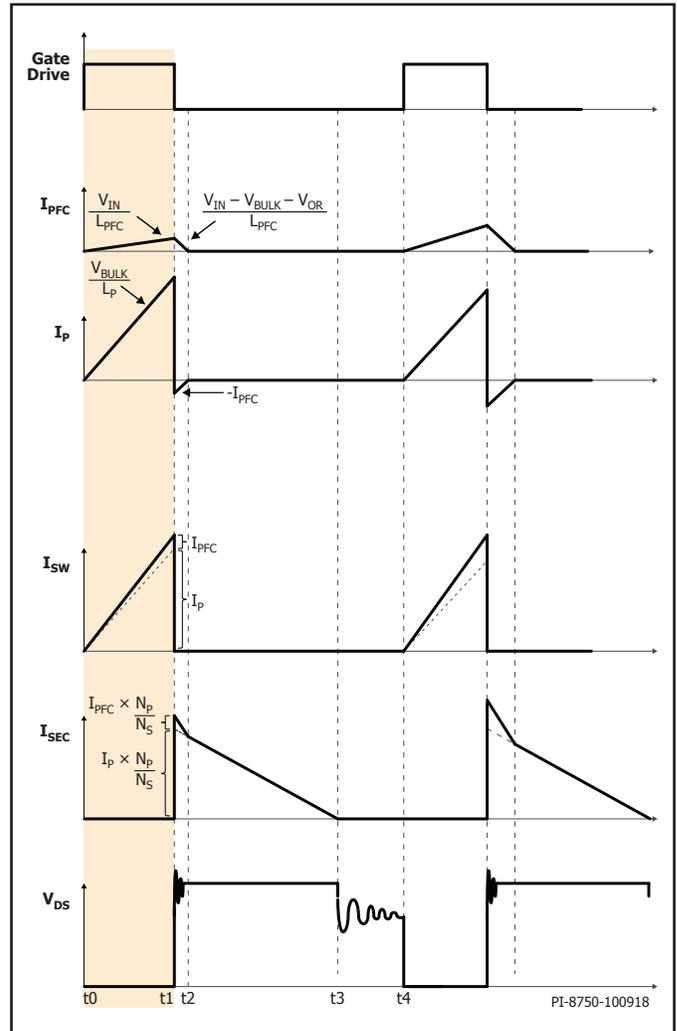


그림 39. SVFS PFC 타이밍 다이어그램(t0~t1).

t1~t2 - 1차측 FET 턴오프

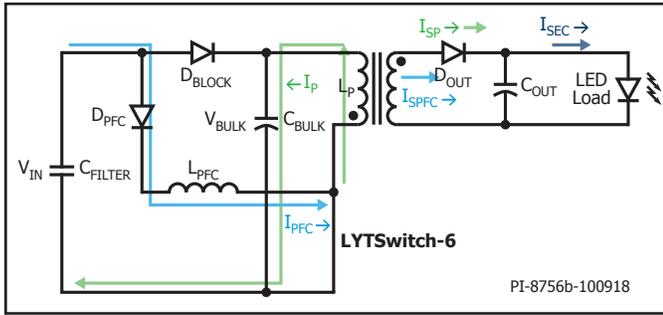


그림 40. t1~t2 사이 전류 흐름.

PFC 전류 I_{PFC}

FET 턴오프 시 PFC에 저장된 에너지는 플라이백 트랜스포머를 통해 2차측으로 전달됩니다. 동시에, 전류는 트랜스포머 권선에서 벌크 커패시터로 흐릅니다.

1차측 권선으로 이동하는 PFC 전류의 슬로프는 다음과 같이 정의됩니다.

$$\frac{di_{PFC}}{dt_{(t1-t2)}} = \frac{V_{IN} - V_{BULK} - V_{OR}}{L_{PFC}}$$

2차측을 참조하여 I_{SPFC} 는 다음과 같습니다.

$$I_{SPFC(t1-t2)} = \frac{N_P}{N_S} \times I_{PFC}$$

1차측 권선 전류 I_P

플라이백과는 달리 전류는 플라이백 트랜스포머 권선에서 다시 벌크 커패시터로 흐릅니다. 전류는 반대 방향으로 이동하고 PFC 전류와 동일하기 때문에 음극입니다.

2차측 다이오드 전류 I_{SEC}

2차측 다이오드는 순방향으로 바이어스되고 LED 부하에 전류를 공급합니다. 다이오드 전류에는 플라이백 트랜스포머에 저장된 에너지와 PFC 인덕터의 에너지의 전류가 모두 포함됩니다. 정류된 입력 전압이 낮은 경우 2차측 다이오드 전류는 주로 플라이백 트랜스포머에서 나옵니다. 정류된 입력 전압이 상승하면 PFC 전류의 기여도는 올라가는 반면 플라이백 트랜스포머의 기여도는 내려갑니다.

$$I_{SEC(t1-t2)} = \frac{N_P}{N_S} \times (I_{PFC} + I_P)$$

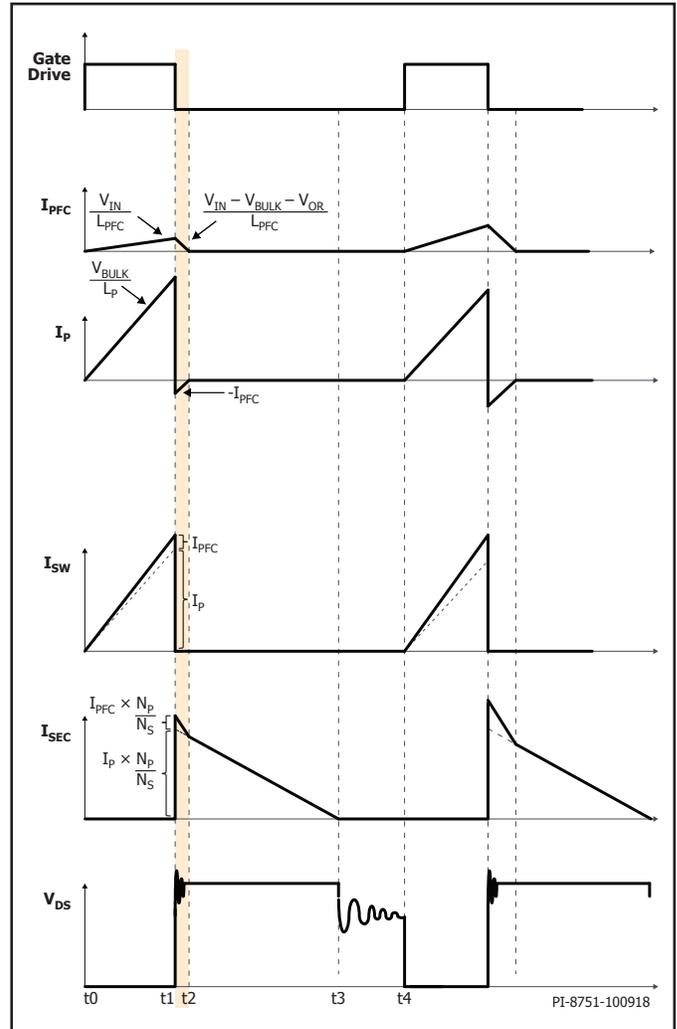


그림 41. SVFS-PFC 타이밍 다이어그램(t1~t2).

t2~t3 – PFC 에너지가 완전히 방전됨

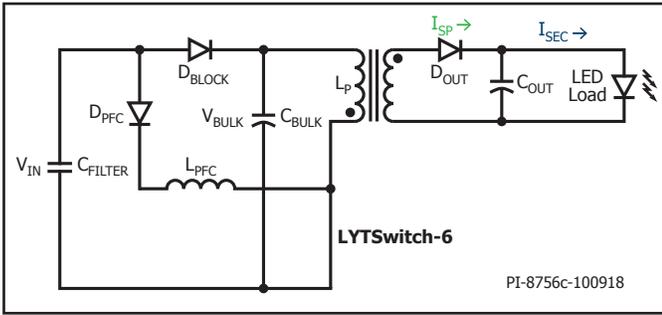


그림 42. t2~t3 사이 전류 흐름.

PFC 전류 I_{PFC}

PFC 인덕터는 DCM에서 작동하도록 설계되었습니다. t2 시점에서 PFC 인덕터에 저장된 에너지는 소모되었습니다.

1차측 권선 전류 I_p

전류는 더 이상 1차측 권선을 통해 흐르지 않습니다.

2차측 다이오드 전류 I_{SEC}

다이오드 전류에는 플라이백 트랜스포머에 저장된 에너지의 전류가 포함됩니다.

$$I_{SEC(t2-t3)} = \frac{N_p}{N_s} \times I_p$$

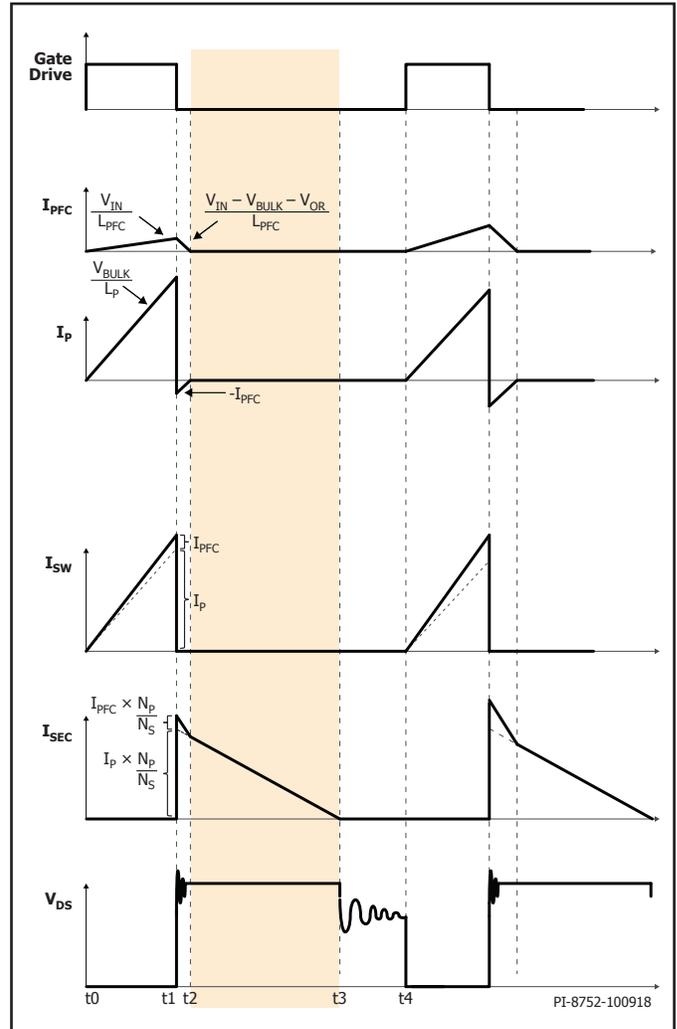


그림 43. SVFS-PFC 타이밍 다이어그램(t2~t3).

t3~t4 - PFC 에너지가 완전히 방전됨

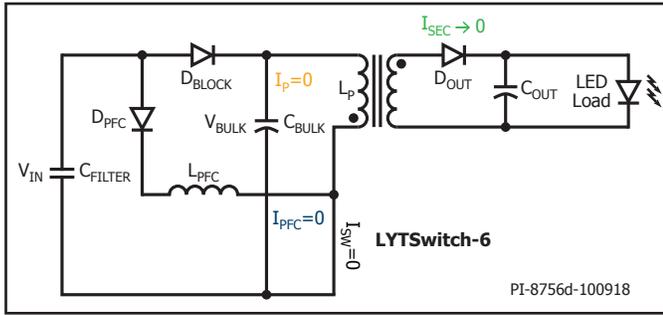


그림 44. t3~t4 사이 전류 흐름 없음.

t3~t4 시간은 디바이스가 DCM(불연속 전도 모드)로 작동하는 경우에만 발생합니다.

다음 스위칭 사이클에서 변경

다음 스위칭 사이클에서 정류된 입력 전압(V_{IN})이 높아집니다. PFC 인덕터에 대한 공식을 보면, 피크 PFC 전류도 높아지는 반면 1차측 권선 전류는 낮아집니다.

하나의 라인 사이클로 통합된 파형

요약하면,

- PFC 전류 IPFC는 입력 라인 형태를 따릅니다.
- 1차측 권선 전류는 제로 크로싱에서 최대이고 90° 위상각에서 가장 낮습니다.
- 드레인 전류는 제로 크로싱에서 가장 낮고 라인을 따라 증가합니다.
- 스위칭 주파수는 제로 크로싱에서 가장 낮고 라인을 따라 증가합니다.

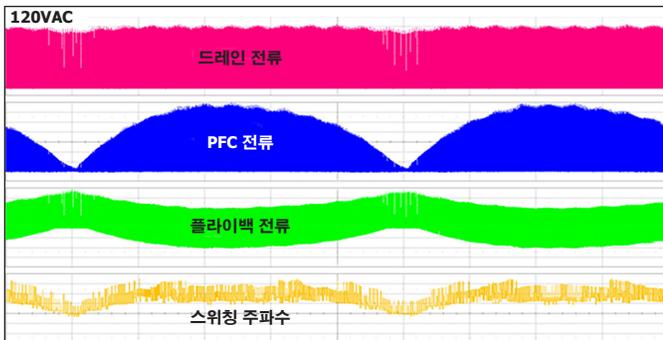


그림 45. 전류 파형, 라인 사이클 1회.

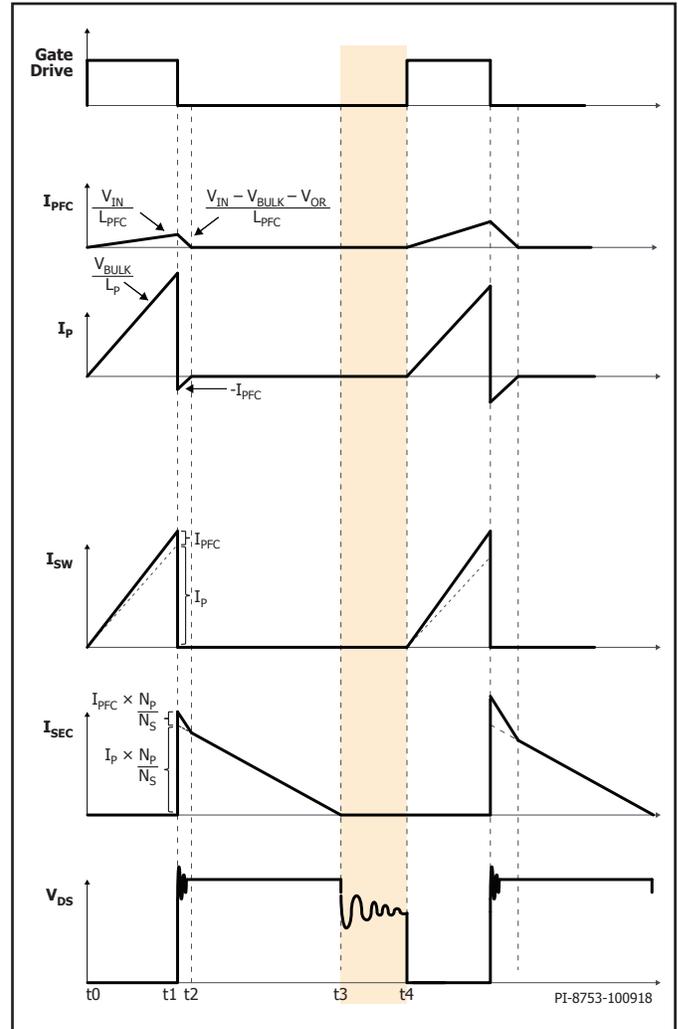


그림 46. SVFS²PFC 타이밍 다이어그램(t3~t4).

PF 달성 방법

그림 47을 보면, 입력 전류는 PFC 전류 I_{PFC} 와 I_{DBLOCK} 의 합이며, 이는 벌크 커패시터에서 입력 전류를 끌어오는 전류입니다. 이 관계는 Switched Valley-Fill 용어의 기반이 됩니다. 즉, PFC 전류는 벌크 커패시터에서 입력 전류를 끌어오지 못할 때마다 "valley"를 채웁니다.

그림 48은 비-PF 플라이백 컨버터의 일반적인 입력 전류 파형을 보여줍니다. 여기서, 벌크 커패시터는 회로에 전력을 공급합니다. 컨버터가 입력 전류를 끌어오는 유일한 경우는 벌크 전압이 입력 전압 아래로 강하하는 경우입니다. 일반적인 전도 시간은 3ms입니다.

SVFS²PFC 회로를 적용한 PFC 회로는 역률을 크게 증가시키는 유사 사인파 입력 전류를 생성합니다(그림 49).

게다가, 높은 입력 라인에서 PF 및 THD는 훨씬 더 뛰어납니다(그림 50). 이는 PFC 회로도 스위칭 사이클마다 벌크 커패시터의 에너지를 재충전하기 때문입니다. 하이 라인에서 PFC 회로가 벌크 커패시터에 제공하는 에너지가 컨버터가 끌어오는 에너지보다 많을 경우 벌크 전압의 상승으로 이어집니다. 일부 설계에서는 벌크 전압이 항상

입력보다 높도록 벌크 전압을 올릴 수 있습니다(그림 51). 따라서 입력 전류는 입력 전압을 따르는 PFC 전류에 전적으로 의존하기 때문에 고역률이 됩니다.

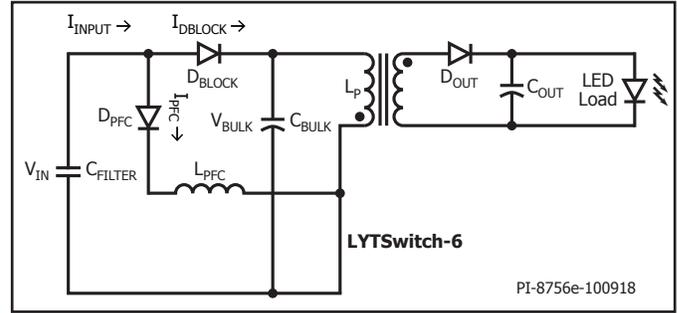


그림 47. 입력 전류 흐름, SVFS²PFC

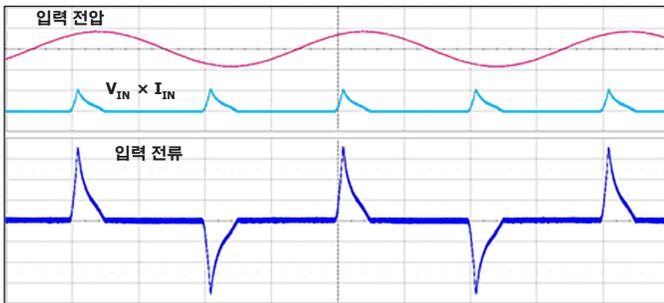


그림 48. 입력 전류 파형, 일반적인 비-PF 플라이백, 120VAC.

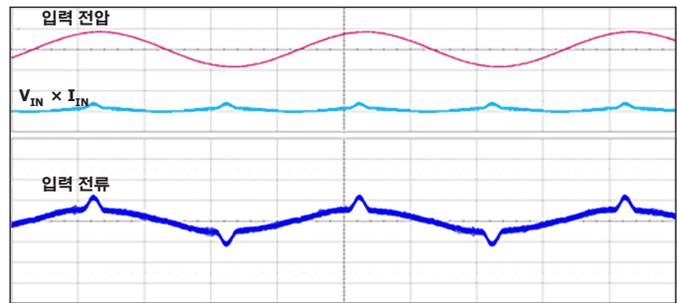


그림 49. 입력 전류 파형, SVFS²PFC + LYTSwitch-6 플라이백, 120VAC

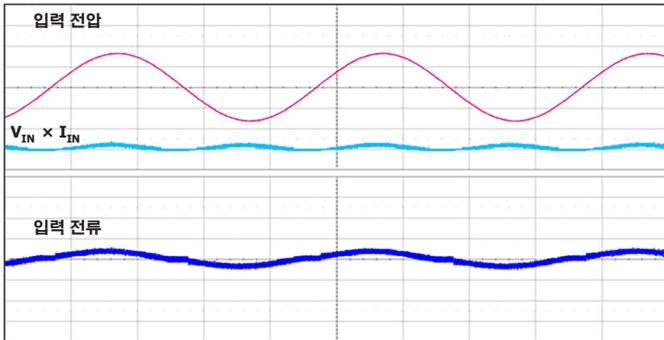


그림 50. 입력 전류 파형, SVFS²PFC + LYTSwitch-6 플라이백, 230VAC

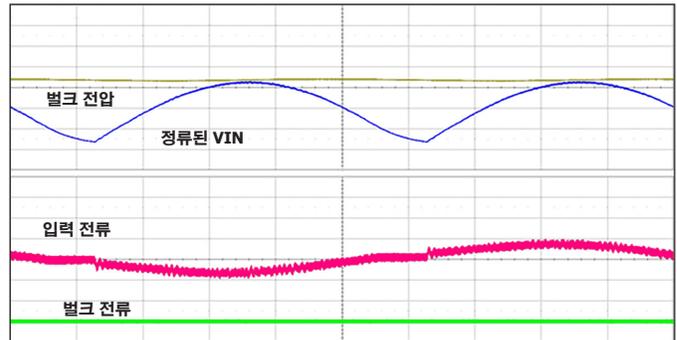


그림 51. 벌크 전압 파형, SVFS²PFC + LYTSwitch-6 플라이백, 230VAC

개정	참고	날짜
A	최초 출시.	10/18
B	2페이지의 그림 2 업데이트.	01/19

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참고하십시오. www.power.com

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. 파워 인테그레이션스(Power Integrations)는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하며 이에 국한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 www.power.com/ip.htm 에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

1. 수명 유지 장치 또는 시스템이란 (i) 신체에 외과적 이식을 목적으로 하거나, (ii) 수명을 지원 또는 유지하고, (iii) 사용 지침에 따라 올바르게 사용하는 경우에도 작동이 실패하여 사용자에게 상당한 부상 또는 사망을 초래할 수 있는 장치 또는 시스템입니다.
2. 핵심 부품이란 부품의 작동이 실패하여 수명 유지 장치 또는 시스템의 작동이 실패하거나, 해당 장치 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 장치 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, SCALE, SCALE-1, SCALE-2, SCALE-3 및 SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2019, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

<p>본사 5245 Hellyer Avenue San Jose, CA 95138, USA 본사 전화: +1-408-414-9200 고객 서비스: 전 세계: +1-65-635-64480 북미: +1-408-414-9621 이메일: usasales@power.com</p>	<p>독일(AC-DC/LED 판매) Einsteinring 24 85609 Dornach/Aschheim Germany 전화: +49-89-5527-39100</p>	<p>이탈리아 Via Milanese 20, 3rd. Fl. 20099 Sesto San Giovanni (MI) Italy 전화: +39-024-550-8701 이메일: eurosales@power.com</p>	<p>싱가포르 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 전화: +65-6358-2160 이메일: singaporesales@power.com</p>
<p>중국(상하이) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 전화: +86-21-6354-6323 이메일: chinasales@power.com</p>	<p>독일(게이트 드라이버 판매) HellwegForum 1 59469 Ense Germany 전화: +49-2938-64-39990 이메일: igbt-driver.sales@power.com</p>	<p>일본 Yusen Shin-Yokohama 1-chome Bldg. 1-7-9, Shin-Yokohama, Kohoku-ku Yokohama-shi, Kanagawa 222-0033 Japan 전화: +81-45-471-1021 이메일: japansales@power.com</p>	<p>대만 5F, No. 318, Nei Hu Rd., Sec. 1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 전화: +886-2-2659-4570 이메일: taiwansales@power.com</p>
<p>중국(셴젠) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 전화: +86-755-8672-8689 이메일: chinasales@power.com</p>	<p>인도 #1, 14th Main Road Vasanthanagar Bangalore-560052 India 전화: +91-80-4113-8020 이메일: indiasales@power.com</p>	<p>대한민국 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 전화: +82-2-2016-6610 이메일: koreasales@power.com</p>	<p>영국 Building 5, Suite 21 The Westbrook Centre Milton Road Cambridge CB4 1YG 전화: +44 (0) 7823-557484 이메일: eurosales@power.com</p>