

アプリケーション ノート AN-61

LinkSwitch-3 ファミリー

設計ガイドと検討事項

はじめに

LinkSwitch™-3 ファミリー IC は、最大出力 10 W のオフライン電源用に設計された高集積ワンチップ型スイッチング IC です。充電器、アダプタ、補助電源、及び LED ドライバに最適な LinkSwitch-3 は、フォトカプラまたは二次側フィードバック回路を使用せずに定電圧と定電流 (CV/CC) の出力レギュレーションを可能にします。出力ケーブル電圧降下補正、トランス インダクタンス補正、及び外付け部品温度変動補正を内蔵し、出力ケーブルの終端でも高い精度を維持できます。オン/オフ制御により全負荷及び入力範囲にわたって効率が最適化され、無負荷時を含む効率要求を容易に満たす設計を可能にします。

このファミリーの各製品には、高耐圧パワー MOSFET 及びそのコントローラがワンチップに内蔵されています。内部起動バイアス電流は、DRAIN ピンに接続される高電圧電流源から供給され、外付け起動部品は不要です。内部発振器は、全周波数モードで動作する際の EMI を軽減するために周波数変調 (ジッター) 機能を有しています。さらに、IC にはシステムレベルの保護を実現する機能が内蔵されています。オートリスタート機能は、過負荷時、出力短絡時、及びオープンループ状態における MOSFET、トランス、及び出力ダイオードの電力損失を制限します。過熱異常の状態では、自動復帰タイプの過熱保護機能により、MOSFET のスイッチングが停止します。Power Integrations の EcoSmart™ 技術により、LinkSwitch-3 ファミリー製品を使

用して設計された電源は、安価なバイアス回路を使用して無負荷時消費電力を 30 mW 未満に抑えることが可能です。これにより、カリフォルニア州エネルギー委員会 (CEC)、欧州行動規範、ENERGY STAR などのエネルギー効率基準に容易に適合できます。

基本的な回路構成

図 1 に、LinkSwitch-3 を使用して設計されたフライバック電源の基本的な回路構成を示します。LinkSwitch-3 の高度な集積化によって、外付け部品等に起因する設計課題を減少させ、あらゆる用途で共通の回路構成を使用できるようになります。たとえば、出力電力レベルが異なると、一部の回路部品に異なる値が必要になりますが、回路構成を変更する必要はありません。

適用範囲

このアプリケーション ノートは、LinkSwitch-3 ファミリーのデバイスを使用して絶縁型の AC-DC フライバック電源を設計する技術者を対象とし、技術者が主要部品を素早く選択し、適切なトランスの設計を完了するためのガイドラインを提供します。このアプリケーション ノートでは、作業を簡素化するために、PI Expert™ 設計ソフトウェアスイートに含まれる PIXIs の設計計算シートを直接引用します。

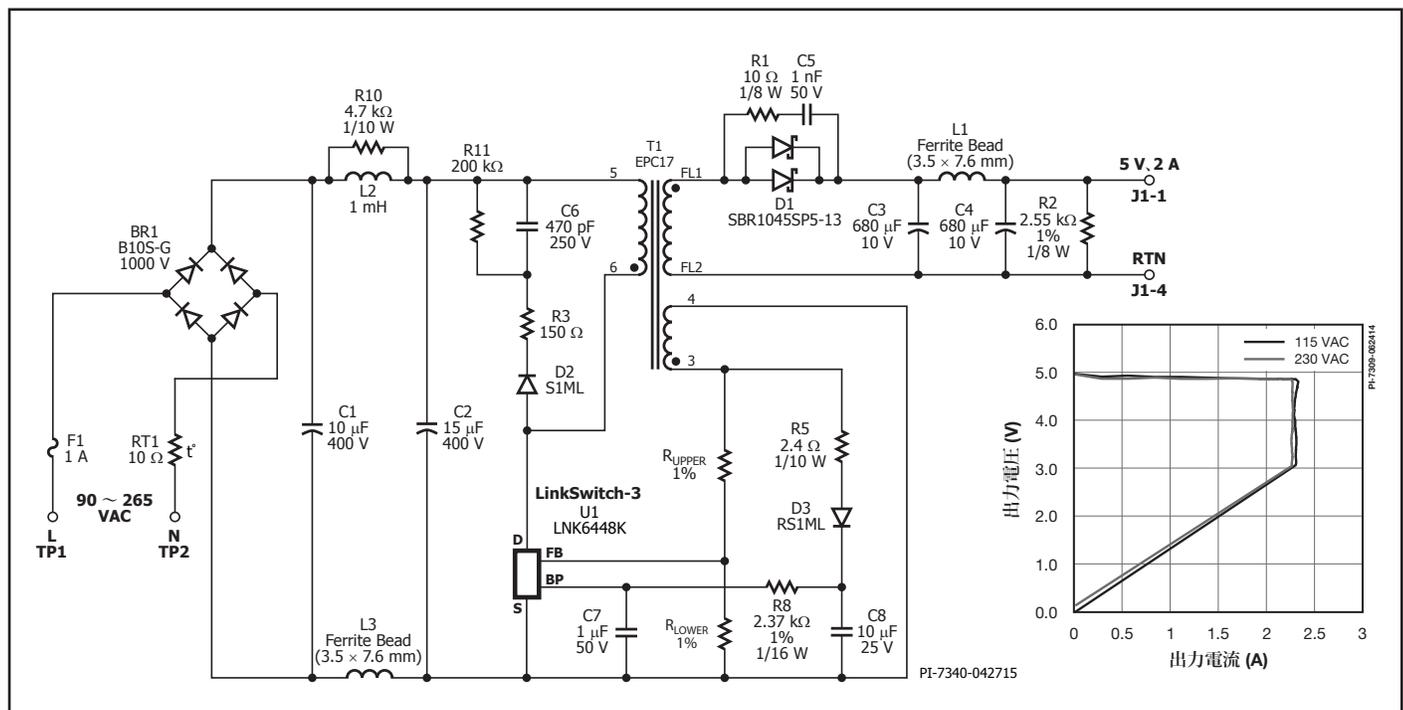


図 1. 高効率 USB 充電器 (78% の平均効率、30 mW 未満の無負荷時消費電力)

このアプリケーション ノートに加えて、LinkSwitch-3 デザイン例レポート (DER) を参照することもできます。PI Expert、デザイン例レポート、及びこのドキュメントの更新情報については、www.power.com/ja/ を参照してください。

クイック スタート

直ちに作業を開始するには、次の情報を使用してトランスを設計し、最初のプロトタイプ用部品を選択します。PIXIs 計算シートに入力する必要があるのは以下に説明されている情報のみで、その他のパラメータは標準的な設計に基づいて自動的に選択されます。計算シートのセル位置を角括弧の中 ([参照セル]) に示します。

- AC 入力電圧範囲 V_{AC_MIN} 、 V_{AC_MAX} 、及び最小入力周波数 f_L [B3, B4, B5] を入力します。
- アプリケーション タイプ (アダプタまたはオープン フレーム) を選択します [B6]。
- 定格出力電圧を入力します (該当する場合はケーブルの終端) V_o [B7]。
- 最小の必要出力電流値を入力します [B8]。
- 効率の推定値を入力します [B10]。
 - ユニバーサル入力電圧 (85 ~ 265 VAC) または 100/115 VAC (85 ~ 132 VAC) では 0.76、230 VAC (185 ~ 265 VAC) の設計では 0.78 を入力します (この数値は、最初のプロトタイプボードにて最大負荷及び V_{AC_MIN} 時の効率を測定した後、必要に応じて調整します)。
- 損失分配係数 Z を入力します [B11]。
 - 標準的な応用例では 0.5 です (数値は、最初のプロトタイプ ボードの評価後に調整します)。
- 入力容量 (C_{in}) を入力します [B13]。
 - $\geq 2.5 \mu\text{F}/\text{W}$ (ユニバーサル (85 ~ 265 VAC) または 100/115 VAC (85 ~ 132 VAC) の入力電圧)。
 - $1 \mu\text{F}/\text{W}$ (230 VAC (185 ~ 265 VAC) の入力電圧)。
 - 注: LinkSwitch-3 デバイスを選択した後に、計算されたデューティ サイクル [D64] が 55% を超える場合は、入力容量を増やします。
- ドロップダウン リストから LinkSwitch-3 デバイスを選択します。
 - 出力電力に応じて、テーブル 1 のデバイスを選択します。
- ドロップダウン リストからケーブル電圧降下補正オプションを選択します。その選択値に適した製品番号が、この手順の後の [B17] に表示されます。
- 定格動作周波数 F_s を入力します [B22] (F_s は、部品の定格値におけるピーク出力動作時の周波数です)。注: 周波数の推奨値は、70 kHz ~ 85 kHz の間です。
- オン状態のドレイン - ソース間電圧降下 V_{DS} を入力します [B24]。特にデータがない場合は 10 V を使用します。
- 出力ダイオードの順電圧降下 V_o を入力します [B25]。ショットキーでは 0.5、標準 PN 接合ダイオードでは 0.7 が一般的です。
- 不連続動作を確保するために、 K_p [D26] を 1.0 より大きくします。CC 公差の改善のためには、 K_p 値を 1.15 より大きくするようにします。
- フィードバック巻線数を [B30] に入力します。 V_{FLY} [B31] が 4 V より大きくなるようにする必要があります。
- バイアス巻線電圧 V_B [B36] を入力します。無負荷時消費電力を最小化するために、10 V にすることを推奨します。注: V_{FLY} [B30] が 10 V より高い場合、フィードバック巻線をバイアス巻線と共有できるため、独立した巻線は不要になります。
- 出力ダイオード導通時間 D_{CON} [B40] に 4.6 μs を入力します。注: D_{CON} は目標値で、 D_{CON_FINAL} は N_p 、 N_s 、及び V_{MIN} が整数値であると仮定した場合の D_{CON} の実数値です。
- ドロップダウン メニューからコア タイプを入力します [B48]。必要なコアがリストされていない場合は、ドロップダウン メニューから「カスタム」を選択し、Custom-Field [B49] にコア名、コアの特性 A_e 、 L_e 、及び A_L ([B51]、[B52]、[B53]) を入力します。
- ポビン幅 BW [B54] を入力します。

出力電力テーブル^{1,2,3,4}

製品 ⁵	90-264 VAC	
	D (SO-8C) パッケージ	
	アダプタ	オープン フレーム
LNK6404D / LNK6424D	3.5 W	4.1 W
LNK6405D / LNK6415D / LNK6425D	4.5 W	5.1 W
LNK6406D / LNK6416D / LNK6426D / LNK6436D / LNK6446D	5.5 W	6.1 W
LNK6407D / LNK6417D / LNK6427D	7.5 W	7.5 W
製品 ⁵	E (eSIP-7C) 及び K (eSOP-12B) パッケージ	
	アダプタ	オープン フレーム
	LNK6407K / LNK6417K / LNK6427K	8.5 W
LNK6408K / LNK6418K / LNK6428K / LNK6448K	10 W	10 W
LNK6408E / LNK6418E / LNK6428E / LNK6448E	10 W	10 W

テーブル 1. 出力電力テーブル

注:

- 最小入力 DC 電圧 > 90 VDC、 $K_p \geq 1$ (CC レギュレーションの精度を上げる場合、 $K_p \geq 1.15$ を推奨)、 $\eta > 78\%$ 、 $D_{MAX} < 55\%$ を想定。
- 入力電圧が低い場合、出力電力容量は低下します。
- 周囲温度は 50 °C、デバイスのジャンクション 110 °C 未満で適切なヒートシンクを使用したときの最小連続電力。
- バイアス巻線を使用して BYPASS ピンに電源供給することを想定。
- パッケージ: D: SO-8C, E: eSIP-7C, K: eSOP-12B。

- マージン テープが必要な場合は、[B55] にマージン テープ幅を入力します。注: これにより、巻線幅は入力されたマージンテープ幅の 2 倍を差し引いた値になります。
- 一次巻線層数 L を入力します [B56]。一次漏れインダクタンス値を制限するために最大 3 層までにします。
- 一次インダクタンス公差 $L_{PTOLERANCE}$ を入力します [B73]。
- トランスのコアの最大磁束密度 $B_{M(TARGET)}$ [B76] を入力します。注: トランスの音鳴りを許容レベル内に収めるために、最大磁束密度が 2600 ガウス未満になるようにしてください。警告が発生した場合には、F 列のガイダンスに従って対応してください。
- コアのギャップ L_g [D81]、巻線ゲージ AWG [D86]、及び一次巻線電流密度 CMA [D87] が許容範囲内にあることを確認します。
- LinkSwitch-3 のドレイン電圧 [D99] が 680 V 未満になっていることを確認します。
- フィードバック抵抗 (図 1) に抵抗値 R_{UPPER} [D43] と R_{LOWER} [D44] を使用します。
- PIVs [D100] と I_{SRMS} [D93] を使用して、適切な出力ダイオードを決定します。
- 入力コンデンサは、 V_{MAX} [D61] より大きい定格電圧を選択し、 I_{RIPPLE} [D67] より大きいリップル電流定格を選択します。
- V_o [B8]、ISP [D90]、及び I_{RIPPLE} [D94] により、適切な出力フィルタ コンデンサを決定します。
- I_{AVG} [D65] と推定ピーク逆電圧 (600 V ~ 1000 V) により、入力整流ダイオードを決定します (通常は 1N4006 タイプまたは 1N4007 タイプ)。
- I_{AVG} [D65] により、適切な入力フィルタ インダクタの電流定格を決定します。伝導 EMI 要件を満たすためには、一般的に 1 mH ~ 2 mH のインダクタ値が適しています。

- プロトタイプボードにて、ピーク出力時の出力電圧と電流を測定します。 R_{UPPER} と R_{LOWER} に使用する値をそれぞれ [B103] セルと [B104] セルに入力します。
- 電圧測定値を [B105] セルに入力します。CV 動作から CC 動作への移行時の電流測定値を [B106] セルに入力します。PIXIs は、微調整後のフィードバック抵抗値を計算します。 R_{UPPER} [D107] と R_{LOWER} [D108] の値に最も近い 1% 仕様の抵抗を取り付けます。

ステップ バイ ステップ形式の設計手順

ステップ 1 – アプリケーション変数 VAC_{MIN} 、 VAC_{MAX} 、 f_L 、 V_O 、 I_O 、 h 、 Z 、 V_B 、 t_C 、バイアス サポート、 C_{IN} を入力する

テーブル 2 から入力電圧範囲を決定します。

注: AC 入力ではなく DC 入力を使用する設計では、DC 入力電圧の最小値及び最大値を設計計算シートの V_{MIN} [B60] 及び V_{MAX} [B61] の灰色のオーバーライドセルに直接入力します (図 4 参照)。

入力周波数、 f_L

標準的な入力周波数は、ユニバーサルまたは 100 VAC 入力では 50 Hz、115 VAC 入力では 60 Hz、230 VAC 入力では 50 Hz です。これらの値は、最小値ではなく標準値を表します。ほとんどの用途に対して、適切な設計マージンを含んでいますが、条件が極めて厳しい場合の設計、または製品の仕様によっては、これらの数値を 6% 低減 (47 Hz または 56 Hz) します。半波整流では $f_L/2$ を入力してください。DC 入力に対しては、[B60] セルと [B61] セルに電圧を直接入力します。

定格出力電圧、 V_O (V)

CV/CC 及び CV のみの設計の両方に対して、 V_O は定格出力電流時のケーブル終端での定格出力電圧です。出力電圧の公差は $\pm 5\%$ です (初期公差及びデータシートに指定されているジャンクションの全温度範囲を含みます)。

最小必要出力電流、 I_O (A)

CV/CC の設計では、 I_O は定格出力電圧における最小必要出力電流です。

定格出力電圧と電流は、外部アダプタの公称仕様と同じにならないことがあります。一般に銘板表示仕様は、アダプタの最小出力電圧と電流を表します。これは、少なくとも $V_{O(MIN)}$ 及び $I_{O(MIN)}$ を供給する時には、エネルギー

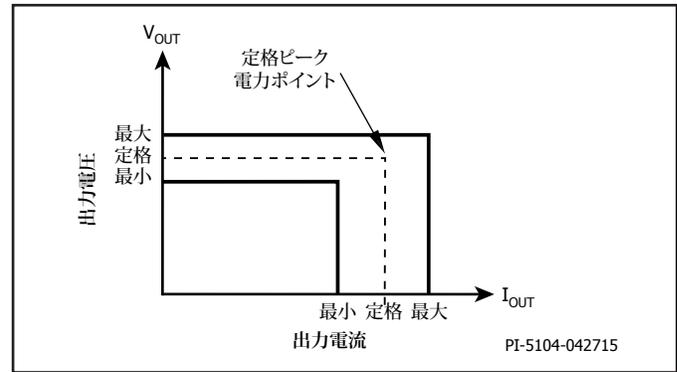


図 2. 出力特性の定義

定格入力電圧 (VAC)	VAC_{MIN}	VAC_{MAX}
100/115	85	132
230	195	265
ユニバーサル	85	265

テーブル 2. 標準的なワールドワイド入力電圧範囲

効率の測定試験要求を満足することを意味します。出力電圧と電流の定義については、図 3 を参照してください。

たとえば、定格 CC レベルが 2.2 A の場合、10% の公差では、最小 I_O は 1.98 A、最大 I_O は 2.42 A です。この場合、最小必要出力電流には、1.98 A を入力します。

電源効率、 η

電源全体のエネルギー効率の推定値を入力します。最大負荷条件及び入力の最悪条件 (一般に最低入力電圧) において、出力ケーブルの終端 (該当する場合) の電圧と電流を測定します。ユニバーサル入力電圧 (85 ~ 265 VAC) または 100/115 VAC (85 ~ 132 VAC) 入力電圧では 0.76、230 VAC (185 ~ 265 VAC) 入力電圧の設計では 0.78 から開始します。プロトタイプボードにおいて、 VAC_{MIN} 及び VAC_{MAX} でのピーク出力電力時の効率を測定し、それに応じて数値を調整します。

アプリケーション変数の入力			デザイン タイトル
VACMIN		90.00 V	最小 AC 入力電圧
VACMAX		265.00 V	最大 AC 入力電圧
f_L		50.00 Hz	AC 主電源周波数
アプリケーション タイプ	オープン フレーム	オープン フレーム	アプリケーション タイプの選択
V_O		5.00 V	連続電力時の出力電圧
I_O		0.75 A	最小必要出力電流
電力		3.75 W	連続出力電力
η		0.75	出力端子の推定効率
Z		0.50	Z 係数。電源の合計損失に対する二次側の損失の比率。特にデータがない場合は 0.5 を使用
t_C		3.00 ms	ブリッジダイオードの推定導通時間
C_{IN}	30.00	30.00 μF	入力容量

図 3. 設計計算シートの「アプリケーション変数」セクション

DC 入力電圧パラメータ			
V_{MIN}		117.76 V	最小 DC バス電圧
V_{MAX}		374.77 V	最大 DC バス電圧

図 4. 設計計算シートの「DC 入力電圧パラメータ」セクション

電源損失分配係数、Z

この係数は、電源の一次と二次の両方の総電力損失に対する二次電力損失の比率を表します。Zは、電力段が供給しなければならない電力を決定するために、効率の計算値とともに使用されます。たとえば、入力段 (EMI フィルタ、整流ダイオードなど) の損失は、電力段 (トランス経由で伝送) には含まれません。したがって、これによって効率は低下しますが、トランスの設計には影響しません。

$$Z = \frac{\text{Secondary Side Losses}}{\text{Total Losses}}$$

特にデータがない場合は 0.5 を使用します。

ブリッジ ダイオード導通時間、 t_c (ms)

AC 入力正弦波が入力される時間で、入力ダイオードが導通し、入力コンデンサが充電されます。この値は、 $V_{AC(MIN)}$ での入力コンデンサの最小電圧を計算するために使用します。 t_c の実際の値は、プロトタイプの入力電流波形を測定することによって取得できます。特にデータがない場合は 3 ms を使用します。

入力容量合計、 C_{IN} (μF)

テーブル 3 を参考にして総入力容量を入力します。この容量は、整流コンデンサの最小電圧 (V_{MIN}) を計算するために使用します。 $V_{MIN} > 90$ V を維持する C_{IN} の値を選択します。

出力電力 (ワット) あたりの合計入力容量 (μF/W)	
AC 入力電圧 (VAC)	全波整流時
100/115	2.5
230	1
85-265	2.5

テーブル 3. 入力電圧範囲と推奨入力コンデンサ容量

ステップ 2 – LinkSwitch-3 変数を入力する: LinkSwitch-3 のデバイスとパッケージ、 V_{DS} 及び V_D

出力電力テーブル^{1,2,3,4}

製品 ⁵	90-264 VAC	
	D (SO-8C) パッケージ	
	アダプタ	オープン フレーム
LNK6404D / LNK6424D	3.5 W	4.1 W
LNK6405D / LNK6415D / LNK6425D	4.5 W	5.1 W
LNK6406D / LNK6416D / LNK6426D / LNK6436D / LNK6446D	5.5 W	6.1 W
LNK6407D / LNK6417D / LNK6427D	7.5 W	7.5 W
製品 ⁵	E (eSIP-7C) 及び K (eSOP-12B) パッケージ	
	アダプタ	オープン フレーム
	LNK6407K / LNK6417K / LNK6427K	8.5 W
LNK6408K / LNK6418K / LNK6428K / LNK6448K	10 W	10 W
LNK6408E / LNK6418E / LNK6428E / LNK6448E	10 W	10 W

テーブル 4. 出力電力テーブル

LinkSwitch-3 の正しいデバイスとパッケージを選択します。LinkSwitch-3 の電力テーブル (テーブル 4) を参照し、必要な出力電力と動作条件 (密閉型アダプタまたはオープン フレーム) に適したデバイスを選択します。7 ピン表面実装 SO-8C には D パッケージ、11 ピン表面実装 eSOP-12B (LNK64x7 と LNK64x8) には K パッケージ、6 ピンのスルーホール eSIP-7C (LNK64x8 のみ) には E パッケージを選択します (このステップ及びその後の 4 つのステップは図 5 を参照)。

ケーブル電圧降下補正のオプションを選択する

出力ケーブルの出力電圧降下のパーセンテージに最も近いケーブル補正オプション (テーブル 5) を選択します。たとえば、5V、2A で LNK64x8K の場合、ケーブルのインピーダンスが 150 mΩ の電圧降下は 0.3 V です。定格出力電圧が 5 V (ケーブルの終端) の場合の電圧降下は 6% になります。この場合、+6% の補正を選択して誤差を最小に抑えます。その選択値に適した製品番号が、この手順の後の [B18] に表示されます。

LinkSwitch-3 出力ケーブル電圧降下補償

デバイス	出力電圧変動係数 (±1%)
LNK640x	1.02
LNK641x	1.04
LNK642x	1.06
LNK643x	1.08
LNK644x	1.01

テーブル 5. ケーブル補償変動係数 vs. デバイス

動作周波数 F_s を選択する

定格動作スイッチング周波数 F_s を入力します。 F_s は、定格ピーク出力電力動作時のスイッチング周波数です。周波数を 70 kHz ~ 85 kHz の間で選択します。最小及び最大周波数は、 L_p の公差と内部カレントリミットによって変化します。最小及び最大周波数の計算値が 45 kHz ~ 100 kHz の範囲外にある場合は、警告が表示されます。

LinkSwitch-3 のオン状態のドレイン - ソース間電圧、 V_{DS} (V)

このパラメータは、LinkSwitch-3 の DRAIN ピンと SOURCE ピンの間の平均オン状態電圧です。値を入力しない場合は、PIXIs はデフォルトの 10 V を使用します。

出力ダイオードの順方向電圧降下、 V_D (V)

出力ダイオードの平均の順方向電圧降下を入力します。ショットキー ダイオードには 0.5 V、PN 接合ダイオードには 0.7 V を使用します (ダイオード固有のデータがない場合)。 V_D のデフォルト値は 0.5 V です。

MOSFET オフ時間に対する二次ダイオード導通時間の比率、 K_p

LinkSwitch-3 では、適切なレギュレーションを実現するために不連続動作モードで動作する必要があります。不連続動作を確保するために、 K_p が 1.0 より大きいことを確認します。より適切な CC 公差のために、 K_p 値を 1.15 より大きく設定します (周波数ジッター、部品公差などのために 15% のマージンを考慮)。 K_p は一次側 MOSFET のオフ時間に対する二次側ダイオード導通時間の比率で、不連続モードで動作するためには常に 1 より大きくする必要があります。

$$K_p \equiv K_{DP} = \frac{(1-D) \times T}{t} = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

フィードバック巻線のパラメータ

フィードバック巻線のパラメータは、PIXIs 計算シートによって計算されます。 N_{FB} は、トランスのフィードバック巻線数です。 V_{FLY} と V_{FOR} は、MOSFET がオン (V_{FOR}) またはオフ (V_{FLY}) の間にフィードバック巻線にかかる電圧を表します。

バイアス巻線のパラメータ - 外部バイアスを選択する

LinkSwitch-3 に外部バイアス電源が必要な場合は、外部バイアスを選択し、バイアス巻線をトランスに追加する必要があります。外部バイアスによって IC 内部の高電圧電源がオフし、軽負荷時の効率が向上して無負荷時の消費電力が軽減します。LNK64X7、LNK64X8 の場合、内部シャント (自己バイアス) 電流は最大負荷時の IC 電流の供給に十分でないため、外部バイアスが必須です。

フィードバック巻線電圧 (V_{FLY}) が 10 V 以上の場合、バイアス巻線をフィードバック巻線と共用できます。フィードバック巻線電圧 (V_{FLY}) が 10 V 未満の場合は、 V_B のバイアス電圧を入力します (図 7)。10 V に設定することで無負荷時入力電力を最小化します。

N_B は、バイアス巻線の巻線数です。 R_{EXT} は、バイアス巻線出力ダイオードと BYPASS ピンの間の抵抗です。

ステップ 3 - 出力ダイオード導通時間 D_{CON} (μs) を設定する

D_{CON} はプリセット値で、 D_{CON_FINAL} は、実際の N_S (二次巻線数) と N_P (一次巻線数) によって再計算された最終的な D_{CON} 値です。 D_{CON_FINAL} は、ピーク出力電力時の出力ダイオード導通時間です。 D_{CON} (最終的に D_{CON_FINAL}) の

値を変更すると、ボビンの巻線幅を有効活用するように、二次側巻線とフィードバック巻線の巻線数を調整できます。 D_{CON} (最終的に D_{CON_FINAL}) を増やすと、巻線数が増えます。

D_{CON} の最小値は、軽負荷時において内部 MOSFET がオフした後、出力ダイオードが確実に導通して、フィードバック巻線でのサンプリングが実施されるように、最大負荷時に 4.6 μs になるように制限されます。 D_{CON} の最大値は、通常は K_p によって制限されます。 D_{CON} が増加するに従って、 K_p は最小値の 1.0 に達するまで減少します。 R_{UPPER} 抵抗と R_{LOWER} 抵抗は、フィードバック巻線抵抗の初期計算値です。

ステップ 4 - 出力電力に基づいて コアとボビンを選択し、 A_E 、 L_E 、 A_L 、 B_W 、 L を入力する

これらのシンボルは、コア実効断面積 A_E (cm^2)、コア実効磁路長 L_E (cm)、ギャップなしコア実効インダクタンス A_L (nH/Turn²)、ボビン幅 B_W (mm)、及び一次巻線層数 L を表します。

計算シートのコアセルで自動を選択すると、デフォルトでは、ピーク磁束密度制限を満たす最小のコアサイズが選択されます。ユーザーは一般に使用されるコアのリストから選択することが可能です (テーブル 6 参照)。テーブル 6 はコアサイズと電力容量の概要です。

灰色のオーバーライドセル [B51~B56] には、コアとボビンのパラメータを直接入力できます。これは、リストにないコアを選択する場合、または特定のコアまたはボビンの情報が計算シートで呼び出されている情報と異なる場合に使用します。

LinkSwitch-3 変数の入力			
デバイスの選択	LNK64x8E	LNK64x8E	LinkSwitch-3 のデバイスとパッケージを選択する。 例: LNK64x4D または LNK64x8K
ケーブル電圧降下補正のオプション	comp なし	comp なし	ケーブル電圧降下補正のレベルを選択する
デバイス名		LNK6448E	デバイス名
ILIMITMIN		0.47 A	最小カレントリミット
ILIMITTYP		0.50 A	標準カレントリミット
ILIMITMAX		0.54 A	最大カレントリミット
FS		80.00 kHz	最大電力における標準的なデバイススイッチング周波数
VOR		39.29 V	跳ね返り電圧 (VOR < 135 V を推奨)
VDS		10.00 V	LinkSwitch-3 のオン状態のドレイン - ソース間電圧
VD		0.50 V	出力巻線ダイオードの順方向電圧降下
KP		1.72	KP、最小 LP、VMIN、及び最大スイッチング周波数を想定、ただし、周波数ジッターは含まない

図 5. 「LinkSwitch-3 変数の入力」設計計算シート

フィードバック巻線のパラメータ			
NFB		10.00	フィードバック巻線の巻数
VFLY		6.88 V	フライバック電圧 - スイッチオフ時のフィードバック巻線の電圧
VFOR		11.11 V	順方向電圧 - スイッチオン時のフィードバック巻線の電圧

図 6. 設計計算シートの「フィードバック巻線のパラメータ」セクション

バイアス巻線のパラメータ			
BIAS	Ext.Bias	Ext.Bias	IC に供給する自己バイアスまたは外部バイアスを選択する。ILIMIT に影響することに注意する
VB		10.00 V	バイアス巻線電圧。VB > VFLY になるようにするバイアス巻線は、フィードバック巻線に AC 積み上げされることを想定
NB		6.00	バイアス巻線の巻数
REXT		7.50 k Ω	BYPASS ピン抵抗の推奨値 (標準の 5% の抵抗を使用)

図 7. 設計計算シートの「バイアス巻線のパラメータ」セクション

一次側と二次側を安全に絶縁する必要があり、3層絶縁電線を使用していない場合、ボビンの両側で使用する安全マージンの幅をパラメータ M とし て入力します。ユニバーサル入力設計では、一般にマージン合計 6.2 mm が 必要で、スプレッドシートに値 3.1 mm を入力します。ボビンを垂直に置 く場合は、マージンを対称にする必要はありません。ただし、たとえば 6.2 mm の必要マージン合計に対しては、実際にはボビンの片側のみマ ージンを確保する場合にも 3.1 mm を入力します。

コア サイズ	出力電力容量
EF12.6	3.3 W
EE13	3.3 W
EE16	6.1 W
EF20	10 W

テーブル 6. LinkSwitch-3 設計で一般的に使用されるトランス コア サイズの出力電 力容量

3層絶縁電線を使用する設計の場合も、必要な安全沿面距離を確保する ために小さなマージンの確保が必要になる場合があります。一般に、各コア サイズに対して、多くのボビン形状があり、物理的な空間はそれぞれ異なり ます。個々の設計に必要なマージンについては、ボビンのデータシートを 参照するか、専門家またはトランスのメーカーに問い合わせてください。 マージン幅によって巻線に使用できる面積が減少するため、コア サイズが 小さいトランスでは、マージンの確保が適切ではないことがあります。マ ージン幅を入力し、3層を超える一次巻線層数 (L) が必要な場合、より大き なコアを選択するか、3層絶縁電線を使用してマージンなしの設計に切り 替えます。

設計パラメータ			
DCON	5.10	5.10 uS	必要な出力ダイオード導通時間
DCON_FINAL		5.24 uS	最終出力導通ダイオード、NP と NS、及び VMIN に整数値を想定
TON		3.24 uS	LinkSwitch-3 のオン時間 (LPMIN、VMIN、及び ILIMITMIN で計算)
RUPPER		30.97 kΩ	フィードバック抵抗分割回路の上側抵抗
RLOWER		12.18 kΩ	抵抗分割回路の下側抵抗

図 8. 設計計算シートの「設計パラメータ」セクション

トランス コア/構成に関する変数の入力			
コア タイプ			
コア	自動	EE13	トランス コアを入力する
Custom_Core			ドロップダウン メニューにおける選択が「カスタム」の場合はコア名を入力する
Bobbin		BE-13	ボビン部品番号
AE		17.10 mm^2	コア実効断面積
LE		30.20 mm	コア実効磁路長
AL		1130.00 nH/turn^2	ギャップ無しコア実効インダクタンス
BW		7.40 mm	ボビンの物理的巻線幅
M		0.00 mm	安全マージン幅 (一次から二次までの沿面距離の半分)
L		3.00	一次巻線層数
NS		8.00 巻数	二次巻線の巻数。二次側巻線数を調整するには DCON を変更する。

図 9. トランス コア/構成に関する変数の入力

トランス コアのサイズ

EE8	EFD20
EE10	EFD25
EE12.9	EPC13
EE13	EPC17
EE16	EPC19
EE16W	EI16
EE1616	EI19
EE19	EI22
EE22	EI25
EEM12.4	EEL16
EF12.6	EEL19
EF16	EEL22
EF20	RM5
EFD1C	RM5/I
EFD12	RM6S
EFD15	RM6S/I

テーブル 7. LinkSwitch-3 PIXIs 計算シートにリストされるコア

一次巻線層数 (L) を入力します。一次側巻線の推奨最大層数は 3 です。こ れより多くの層を指定すると、損失の増大の原因になる漏れインダクタン スが増加します。

トランスの二次側設計パラメータ			
ISP		3.09 A	ピーク二次側電流、Ilimitmin を想定
ISRMS		1.47 A	二次側 RMS 電流、Ilimitmax と Dmax を想定
IRIPPLE		1.26 A	出力コンデンサの RMS リップル電流
CMS		293.25 Cmil	二次側導体の最小面積
AWGS		25.00	二次側巻線ゲージ (端数は次に大きい標準 AWG 値に切り上げ)

図 10. 設計計算シートの「トランス二次側設計パラメータ」セクション

電圧ストレス パラメータ			
VDRAIN		547.80 V	推定最大ドレイン電圧 (20% のクランプ電圧公差及び追加の 10% の温度公差を想定)
PIVS		33.28 V	出力ダイオードの最大ピーク逆電圧

図 11. 設計計算シートの「電圧ストレス パラメータ」セクション

微調整			
RUPPER_ACTUAL		30.97 kΩ	PCB 上で使用される上側抵抗 (RUPPER) の実際の値
RLOWER_ACTUAL		12.18 kΩ	PCB 上で使用される下側抵抗 (RLOWER) の実際の値
出力電圧の実際 (実測) の値 (VDC)		5.00 V	プロトタイプにおける出力電圧の実測値
実際 (実測) の出力電流 (ADC)		0.75 アンペア	プロトタイプにおける出力電流の実測値
RUPPER_FINE		30.97 kΩ	フィードバック抵抗分割回路の上側抵抗 (RUPPER) の新値。最も近い基準値は 30.9 kΩ
RLOWER_FINE		12.18 kΩ	フィードバック抵抗分割回路の下側抵抗 (RLOWER) の新値。最も近い基準値は 12.1 kΩ

図 12. 設計計算シートの「微調整」セクション

DC 入力電圧パラメータ			
VMIN		117.76 V	最小 DC バス電圧
VMAX		374.77 V	最大 DC バス電圧

図 13. 設計計算シートの「DC 入力電圧パラメータ」セクション

電流波形の形状パラメータ			
DMAX		0.32	VMIN 時の最大デューティ サイクル
Iavg		0.05 A	VMIN 時の入力平均電流
IP		0.23 A	ピーク一次電流
IR		0.23 A	一次リップル電流
IRMS		0.09 A	一次 RMS 電流

図 14. 設計計算シートの「電流波形の形状パラメータ」セクション

トランス一次側設計のパラメータ			
LPMIN		1638.00 uH	最小一次インダクタンス
LPTYP		1820.00 uH	一次インダクタンス標準値
LP_TOLERANCE		10.00 %	一次側インダクタンスの公差
NP		106.00	一次側巻数。一次側巻数を調整するには、BM_TARGET を変更する
ALG		161.98 nH/turn ²	ギャップ コア実効インダクタンス
BM_TARGET	2500.00	2500.00 ガウス	目標磁束密度
BM		2510.21 ガウス	動作時の最大磁束密度 (LPTYP、ILIMITTYP で計算)、BM < 2600 を推奨
BP		2948.99 ガウス	動作時のピーク磁束密度 (LPMAX、ILIMITMAX で計算)、BP < 3100 を推奨
BAC		1255.10 ガウス	コア損失曲線の AC 磁束密度 (0.5 × ピーク トゥ ピーク)
ur		158.81	ギャップなしコアの相対透磁率
LG		0.13 mm	ギャップ長 (LG > 0.1 mm)
BWE		22.20 mm	実効ボビン幅
OD		0.21 mm	絶縁層を含む一次ワイヤ最大径
INS		0.04 mm	合計絶縁厚の予測値 (= 2 × フィルム厚)
DIA		0.17 mm	導体の線径
AWG		34 AWG	一次ワイヤ ゲージ (端数は切り捨てて次に小さい標準 AWG 値にしたもの)
CM		40.32 Cmil	導体の実効面積 (Cmil)
CMA		463.14 Cmil/A	一次巻線電流容量 (200 < CMA < 500)

図 15. 設計計算シートの「トランスの一次側設計パラメータ」セクション

N_s は二次側の巻数です。巻数を増やすには、 D_{CON} [B40] 値を大きくします。
ステップ 5 – トランスの設計を繰り返して、主要なトランス設計パラメータを生成する

警告が表示されないことを確認しながら設計を繰り返します。推奨範囲外のパラメータは、すべて右側の列に記述されているガイダンスに従って修正します。「!!! 情報」というマークが付いているメッセージは、さらに最適化が可能なパラメータに関する指示内容が表示されます。すべての警告がクリアされたら、トランスの設計パラメータを使用して試作トランスを作製するか、トランスメーカーに試作依頼を行います。

一次側インダクタンス、 $L_{P(TYP)}$ 、 $L_{P(MIN)}$ (mH)、 $L_{P(TOLERANCE)}$ (%)
 トランスの主要な電気的パラメータは、 $L_{P(TYP)}$ 、 $L_{P(MIN)}$ 、 $L_{P(TOLERANCE)}$ です。
 $L_{P(MIN)}$ は、定格ピーク出力電力 ($V_o \times I_o$) を供給するために必要な最小一次側インダクタンスを表します。一次側インダクタンスは、公差を含む定格値としてベンダーに指定するほうが一般的であるため、 $L_{P(TYP)}$ の値は、以下の式を使用して算出されます。

$$L_{P(TYP)} = L_{P(MIN)} \times \left(1 + \frac{L_{P(TOLERANCE)}}{100} \right)$$

ここで、 $L_{P(TOLERANCE)}$ は、入力された公差 (%) です。値を入力しなければ、PIXIS はデフォルトの 10 を使用し、 $L_{P(TOLERANCE)}$ を $\pm 10\%$ に指定します。

$L_{P(MIN)}$ の計算式には、効率と Z 係数の入力値が使用され、出力ケーブル電圧降下が考慮されます。

一次巻線数、 N_p
 一次巻線の合計数です。

ギャップ コア実効インダクタンス、 A_L (nH/T²)

A_L の標準値に $1 + (L_{P(TOLERANCE)}/100)$ を乗算した $L_{P(MIN)}$ におけるターゲットコア実効インダクタンスです。この値は、一般にトランスのメーカーが正確なギャップ サイズのコアを購入するために使用します。

ターゲット磁束密度、 B_{M_TARGET} (Gauss)

B_{M_TARGET} は、動作時のコアの磁束密度と AC 磁束振幅です。音鳴りの生成を最小にするには、最大値を 2600 (0.26 T) とします。

コア ギャップ長、 L_g (mm)

L_g は、コア ギャップ長の推定値です。0.1 mm 未満の値を使用すると、一次側インダクタンス公差が増大するため、通常はセンターレッグ ギャップコアに推奨できません。そのような低い値が必要な場合は、トランスのメーカーに確認してください。

一次巻線最大外径、OD (mm)

一次巻線を指定された層数に収めることができるように計算された巻線最大外径です。巻線タイプを選択する際は、信頼性を向上し、一次容量を減らす (無負荷時の入力電力を抑える) ために、1 層コートタイプではなく 2 層コートタイプの磁気ワイヤを使用します。

一次巻線の導体の線径、DIA (mm)

一次巻線ゲージ、AWG

米国電線規格サイズの一つ下のサイズに切り下げた巻線の直径です。

一次巻線の導体の実効面積、CM (C_{MILS})

CM は導体の実効面積 (Cmil: サーキュラーミル単位) です。

一次巻線電流容量、CMA (C_{MILS}/A)

CMA は、1 アンペアあたりの巻線の導体面積 (Cmil 単位) です (1 mil は 1 インチの 1/1000)。200 以上を推奨しますが、最悪条件での温度上昇によってはこれより小さい値が許容される場合があります。

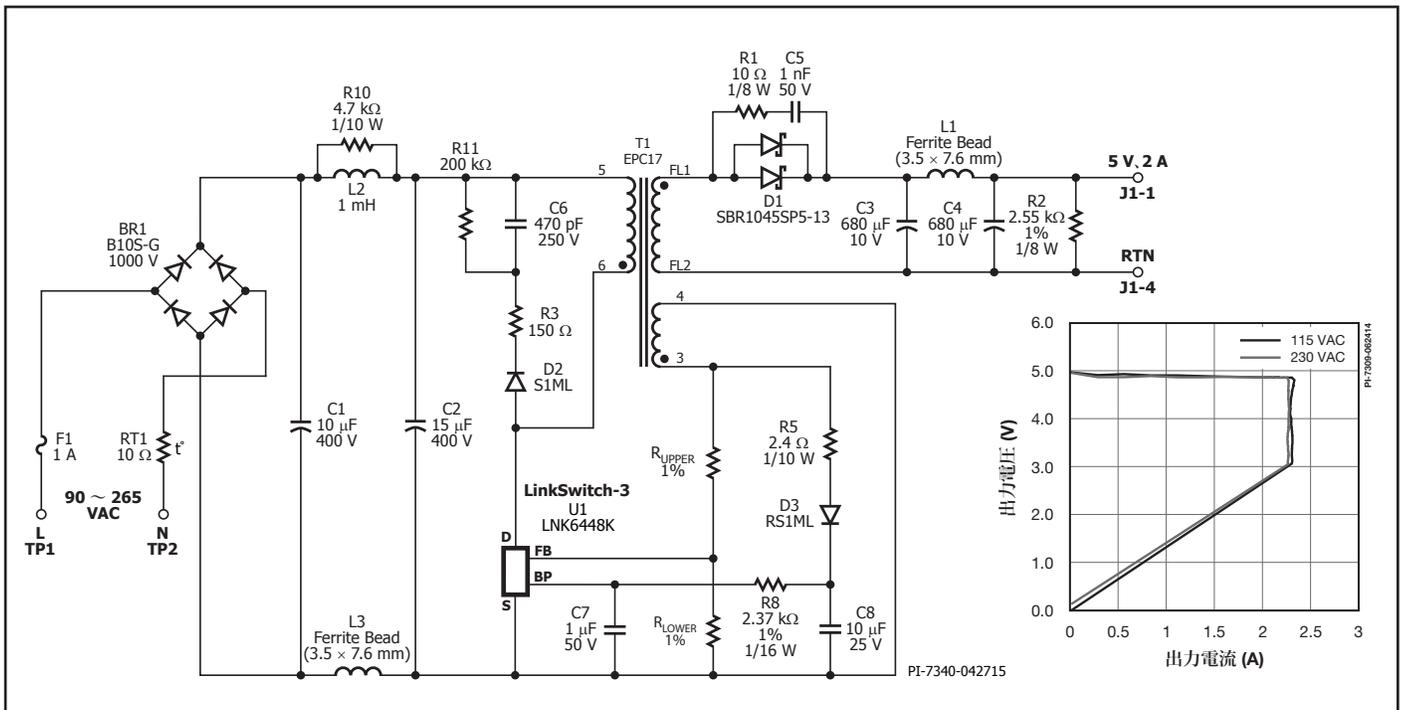


図 16. 高効率 USB 充電器 (78% の平均効率、30 mW 未満の無負荷時消費電力)

ステップ 6 – 入力段の選択

推奨される入力段をテーブル 8 に示します。入力段は、溶断素子、入力整流、及びライン フィルタ回路で構成されます。

溶断素子はヒューズ抵抗またはヒューズです。ヒューズ抵抗を選択する場合は、難燃性タイプを使用します。

ディファレンシャル入力電圧サージの要件によっては、巻線タイプが必要になることがあります。VAC_{MAX} が繰り返し印加された場合の突入電流によって破損することがあるため、金属タイプまたはカーボンフィルム タイプは使用しないでください。

Y コンデンサを使用する設計では、Y コンデンサの接続側とは反対側に EMI フィルタ インダクタを配置します。たとえば、Y コンデンサが DC 系統に接続される場合、入力コンデンサ (C_{IN1} と C_{IN2}) のマイナス端子の間に入力インダクタ (L_{IN1}) を 配置します (図 33 を参照)。

伝導 EMI フィルタは L_{IN1} と L_{IN2} によって提供され、これらは C_{IN1} と C_{IN2} とともに pi (π) フィルタを形成します。3 W 未満の設計または電源の出力がフローティングしている (安全接地に接続されていない) 状態では、単一インダクタが適しています。3 W を超える場合は一般に 2 つのインダクタが必要ですが、特に電源の出力がフローティングしている場合はフェライトビーズで十分です。

一般に、入力容量合計は 2 つの入力コンデンサ (C_{IN1} and C_{IN2}) で等分割されます。ただし、コストを削減するために、2 つの異なる容量値を使用することも可能です。この場合は、1 μF 以上 (または必要に応じた値) の C_{IN1} を選択して、ディファレンシャル モードのサージ発生中のコンデンサの過電圧を防止します。2 番目のコンデンサ C_{IN2} は、総容量値 (C_{IN1}+C_{IN2}) が出力電力に対して 2.5 μF/W になるように、また、ユニバーサル入力の低入力電圧時に最高の効率を実現するには 3 μF/W になるように選択します。

このコンデンサには一次側のスイッチング電流が流れるため、C_{IN2} の等価直列抵抗 (ESR) はディファレンシャルモード EMI に強く影響します。C_{IN1} より C_{IN2} の ESR を小さくすると、ディファレンシャルモード (低周波) の伝導 EMI が小さくなり、2 つのコンデンサの合計コストも最適化できます。

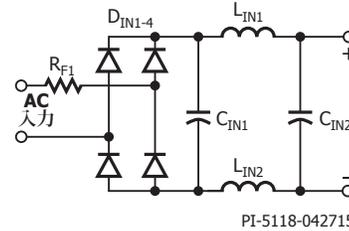
テーブル 8 に、入力フィルタ回路図、異なる入力電圧範囲での C_{IN1} + C_{IN2} の選択範囲を示します。

ステップ 7 – BYPASS ピン コンデンサ、バイアス巻線、及びフィードバックの部品

定格電圧が 7 V を超える 1 μF の BYPASS ピン コンデンサ (図 16 の C7) を使用します。コンデンサは LinkSwitch-3 の BYPASS ピンの近くに配置する必要があります。

バイアス巻線部品

LNK64x7 と LNK64x8 を使用する場合、内部シャント出力電流は最大負荷時に必要な IC 電流の供給に十分でないため、バイアス巻線が必要です。LNK64x4 – LNK64x6 では、バイアス巻線はオプションです。バイアス回路を追加すると、無負荷時の入力電力が 200 mW 程度から 30 mW 未満に低下します。これにより軽負荷における効率が向上し、低コスト化を図りつつ、平均効率要求に対応することを可能にします。ダイオードには高価なショットキーバリアダイオードの代わりに PN 接合ダイオードを使用したり、出力ケーブルには線径の細い、単層構造品 (高インピーダンス品) を使用することも可能です。



R _{F1} : 8.2 Ω, 1 W, ヒューズ, 難燃性
L _{IN1} : 470 μH ~ 2.2 mH, 0.05 A ~ 0.3 A
L _{IN2} : フェライト ビーズまたは 470 μH ~ 2.2 mH, 0.05 A ~ 0.3 A
C _{IN1} + C _{IN2} : ≥ 2.5 μF/W _{OUT} , 400 V, 85 VAC ~ 265 VAC
: ≥ 2.5 μF/W _{OUT} , 200 V, 100 VAC ~ 115 VAC
: ≥ 1 μF/W _{OUT} , 400 V, 185 VAC ~ 265 VAC
D _{INX} : 1N4007, 1 A, 1000 V

テーブル 8. 入力段の推奨事項

バイアス巻線を使用した電源回路図を図 16 に示します。ダイオード D3、コンデンサ C8、抵抗 R8 でバイアス回路を構成します。フィードバック巻線電圧 (設計計算シートの V_{FLY}) が 10 V を超える場合、バイアス巻線を追加する必要はありません。バイアス巻線は、フィードバック巻線と同じ巻線を共用します。出力電圧が 9 V 未満の場合、フィードバック巻線に AC 積み上げするトランス巻線を追加します。これにより、無負荷時にスイッチング周波数が低下した場合にも BYPASS ピンに電流供給可能な十分な電圧が確保されます。

図 17 に、フィードバック巻線 (ピン 4 からピン 3) に積み上げられた追加のバイアス巻線 (ピン 3 からピン 2) の例を示します。ダイオード D3 は出力を整流し、C8 はフィルタ コンデンサです。無負荷時の低周波数動作でもバイアス電圧を維持するために、10 μF のコンデンサを推奨します。コンデンサのタイプには特に要求はありませんが、電圧定格は V_{BIAS} の最大値より大きくする必要があります。BYPASS ピンに流入する推奨電流は、IC の供給電流に等しくします (サイズによって 0.48 mA ~ 0.7 mA 程度)。R8 の値は次のように計算されます。

$$(V_{BIAS} - V_{BP}) / I_{S2}$$

ここで、V_{BIAS} (10 V 程度) は C8 にかかる電圧、I_{S2} (サイズによって 0.48 mA ~ 0.7 mA) は IC への供給電流、V_{BP} (6.4 V 程度) は BYPASS ピン電圧です。パラメータの I_{S2} と V_{BP} は LinkSwitch-3 データシートのパラメータ テーブルに規定されています。BYPASS ピン電流は、最大バイアス巻線電圧 (通常は出力電圧が最大負荷状態の場合) で 10 mA を超えないようにする必要があります。固定ダミー抵抗負荷を付加した状態で、バイアス巻線抵抗 (R8) を変更すると、無負荷時消費電力も変化します。R8 の抵抗値を小さくすると、無負荷時のバイアス巻線のエネルギー消費が増大するため、無負荷時消費電力が大きくなります。この場合、無負荷時のメイン出力とバイアス巻線出力間の消費エネルギー比率が低下して出力電圧レギュレーションが悪化する場合がありますので、R8 は小さくしすぎないように注意してください。

ダイオード D3 には、FR102、1N4148、BAV19/20/21 などの低価格ダイオードを使用できます。ダイオード電圧ストレスは、設計計算シートの「バイアス巻線のパラメータ」セクションにあります。

FEEDBACK ピンの抵抗値、初期値

R_{UPPER} 抵抗と R_{LOWER} 抵抗は、内部 MOSFET のオン時間中とオフ時間中に FEEDBACK (FB) ピンの電圧を設定する抵抗分割回路を形成します。

CV 動作中に、コントローラは ON/OFF ステートマシンを使用して FEEDBACK ピンの電圧が V_{FBth} になるように制御します。FEEDBACK ピンの電圧は、最大負荷時には、内部 MOSFET がオフした後、2.5 μ s 後にサンプリングされます。軽負荷時にはカレントリミットが低下してトランスの磁束密度が下がり、FEEDBACK ピンのサンプリングは、2.5 μ s より早く行われます。

CC 動作中には、スイッチング周波数は FEEDBACK ピンの電圧変化に従って制御され、定出力電流レギュレーションが行われます。

MOSFET のオン時間中は FEEDBACK ピンの電圧が DC 入力電圧の監視に使用され、入力電圧範囲全体の CC 変動を最小にします。

R_{UPPER} と R_{LOWER} の初期値は、セル [D43] と [D44] セルに表示されます。プロトタイプを試験した後、以下の微調整の手順に従って最終的な抵抗値を決定します。最良の結果を得るためには、1% 以内の値を使用します。 R_{UPPER} と R_{LOWER} は、FEEDBACK ピンのできるだけ近くに配置します。

微調整

プロトタイプ電源での試験後、設計計算シートの「微調整」セクション (図 12) に微調整値を入力します。フィードバック抵抗 R_{UPPER} と R_{LOWER} に使用する実際の値を [D101] セルと [D102] セルに入力し、ピーク出力電力点で測定された電源出力電圧と電流を [D103] セルと [D104] セルに入力します。PIXIs 計算シートは、出力電圧と電流の値が中央値になるようにフィードバック抵抗の微調整値 R_{UPPER_FINE} と R_{LOWER_FINE} を計算します。

ステップ 8 – 出力ダイオードとダミー負荷の選択

出力整流ダイオードは、高速または超高速リカバリー PN 接合タイプまたはショットキーバリア タイプのいずれかにする必要があります。

規定の定格電圧 (V_R) に対して十分なマージンがあるダイオードを選択します。通常は $V_R \geq 1.2 \times PIVS$ とします。PIVS は計算シートの「電圧ストレスパラメータ」セクションで確認できます。プロトタイプが完成した後は、オシロスコープを使用して VAC_{MAX} における実際のダイオードストレスを測定します。

$I_D \geq 2 \times I_O$ に最も近い定格のダイオードを選択します。ここで、 I_D はダイオードの定格電流で、 I_O は出力電流です。ダイオードの自己発熱を考慮して、温度または効率要求を満足するように、必要に応じてより大きな容量のダイオードを選択します。テーブル 9 に、LinkSwitch-3 回路での使用に適したショットキー及び超高速ダイオードをいくつか示します。

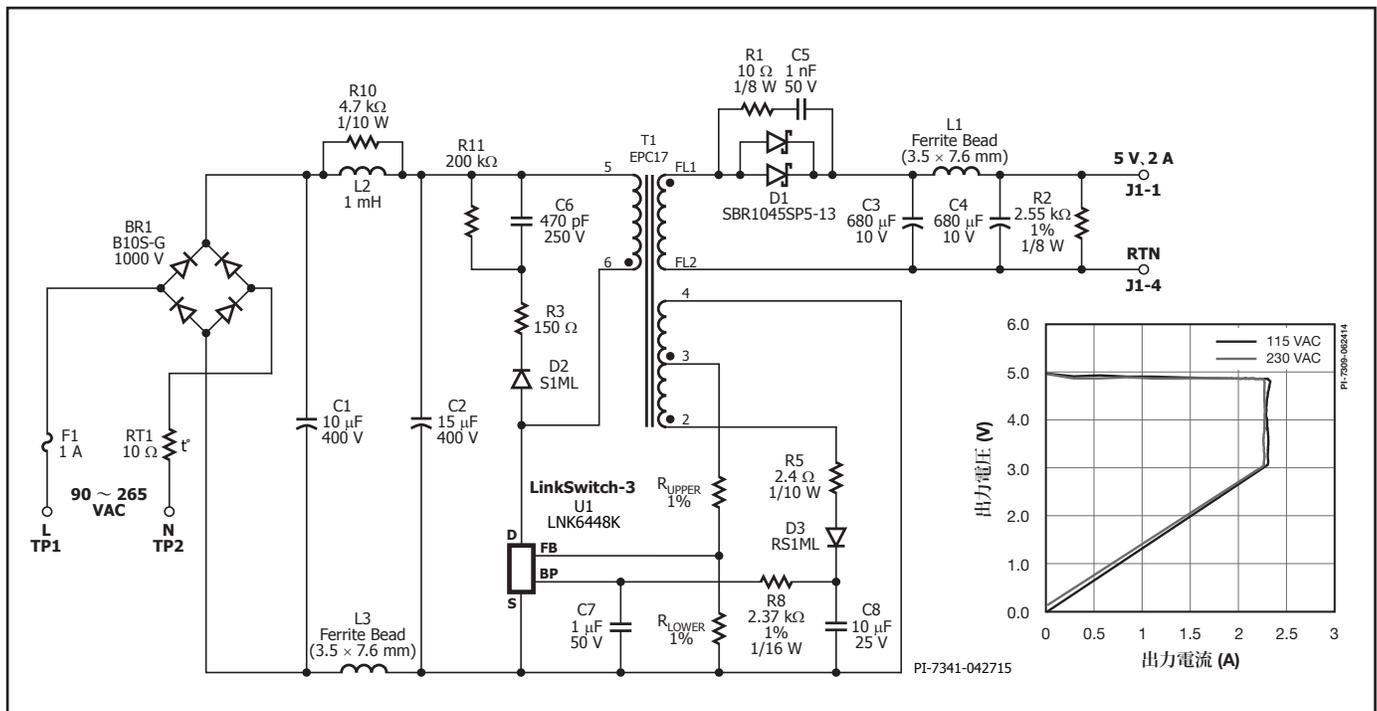


図 17. 高効率 USB 充電器 (78% の平均効率、30 mW 未満の無負荷時の無負荷時消費電力) (バイアス巻線をフィードバック巻線に AC 積み上げ)

シリーズ番号	タイプ	VR 範囲	I_F	パッケージ	メーカー
		V	A		
1N5817 ~ 1N5819	ショットキー	20-40	1	リードタイプ	Vishay
SB120 ~ SB1100	ショットキー	20-100	1	リードタイプ	Vishay
11DQ50 ~ 11DQ60	ショットキー	50-60	1	リードタイプ	Vishay
1N5820 ~ 1N5822	ショットキー	20-40	3	リードタイプ	Vishay
MBR320 ~ MBR360	ショットキー	20-60	3	リードタイプ	Vishay
SB320 ~ SB360	ショットキー	20-60	3	リードタイプ	Vishay
SB520 ~ SB560	ショットキー	20-60	5	リードタイプ	Vishay
MBR1045	ショットキー	35/45	10	リードタイプ	Vishay
UF4002 ~ UF4006	超高速	100-600	1	リードタイプ	Vishay
UF5401 ~ UF5408	超高速	100-800	3	リードタイプ	Vishay
MUR820 ~ MUR860	超高速	200-600	8	リードタイプ	Vishay
BYW29-50 ~ BYW29-300	超高速	50-200	8	リード/SMD	Vishay
ESA1A ~ ES1D	超高速	50-200	1	SMD	Vishay
ES2A ~ ES2D	超高速	50-200	2	SMD	Vishay
SL12 ~ SL23	ショットキー (低 V_F)	20-30	1	SMD	Vishay
SL22 ~ SL23	ショットキー (低 V_F)	20-30	2	SMD	Vishay
SL42 ~ SL44	ショットキー (低 V_F)	20-30	4	SMD	Vishay
SBR1045SD1	ショットキー (低 V_F)	45	10	リードタイプ	ダイオード
SL42 ~ SL4	ショットキー (低 V_F)	20-30	4	SMD	Vishay
SBR1045SP5	ショットキー (低 V_F)	45	10	SMD	ダイオード

テーブル 9. LinkSwitch-3 設計に使用可能な推奨ダイオードのリスト

出力電圧はスイッチング周期でサンプリングされるため、適切な負荷過渡特性が実現されるように、無負荷時には最小スイッチング周波数が維持されます。この最小スイッチング周波数及び最小ドレイン カレント リミットの状態では、LinkSwitch-3 は最小の電力を発生させます。この最小電力は、次のとおりです。

$$1/2 \times L_P \times (I_{PK}^2) \times f_{MIN}$$

ここで、 L_P は一次側インダクタンス、 I_{PKMIN} は最小カレント リミット、 f_{MIN} は最小スイッチング周波数です。

この最小のエネルギーは、ダミー負荷抵抗、クランプ回路、及びバイアス巻線回路で消費される必要があります。ダミー負荷抵抗、クランプ回路、及びバイアス巻線回路の消費エネルギーの合計が最小エネルギーの計算値より少ない場合は、余分なエネルギーが出力に供給され、出力電圧が上昇して均衡しようとする。したがって、非常に軽い負荷または無負荷時に出力電圧が上昇しないようにするために、適切なダミー負荷抵抗を選択する必要があります。

無負荷時に出力電圧レギュレーションを維持する必要がある場合には、定格出力電圧で約 25 mW を消費する抵抗値から開始します。たとえば、5 V 出力には、ダミー負荷抵抗値 1 k Ω を使用します。出力電圧が無負荷

条件で上昇する可能性がある設計では、出力電圧が最大出力電圧仕様に収まるようにダミー負荷抵抗値を選択します。

ダミー負荷抵抗によって無負荷損失も増加するため、無負荷時の入力電力と出力電圧のトレードオフを考慮して、必要に応じて仕様の許容範囲内で無負荷時の出力電圧を調整します。

ステップ 9 – 出力コンデンサとオプションの後段フィルタを選択する

コンデンサ電圧は $\geq 1.2 \times V_{O(MAX)}$ になるように選択します。

以下の最大許容等価直列抵抗 (ESR) 式を使用して、コンデンサを選択します。

$$ESR_{MAX} = \frac{V_{RIPPLE(MAX)}}{I_{SP}}$$

ここで、 $V_{RIPPLE(MAX)}$ は指定された最大出力リップル及びノイズで、 I_{SP} は設計計算シートの「トランスの二次側パラメータ」セクションの二次側ピーク電流です。

一般的な一次側クランプの構成

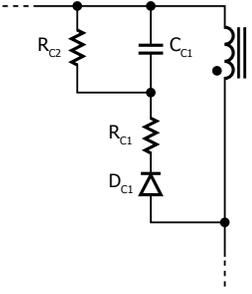
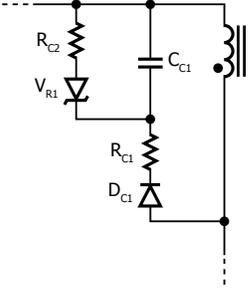
RCD	RCDZ (ツェナー ブリッド)
 <p style="text-align: center;">PI-5107-042715</p>	 <p style="text-align: center;">PI-7330-042715</p>
<p>D_{C1}: 1N4007G / FR107, 1 A, 1000 V</p> <p>R_{C1}: 100 Ω ~ 300 Ω, 1/4 W</p> <p>C_{C1}: 470 pF ~ 1000 pF</p> <p>R_{C2}: 330 kΩ ~ 680 kΩ, 1/2 W</p>	<p>D_{C1}: 1N4007G / FR107, 1 A, 1000 V</p> <p>V_{R1}: BZY97Cxxx (xxx = 1.1 to 1.2 × V_{OR})</p> <p>R_{C1}: 100 Ω ~ 300 Ω, 1/4 W</p> <p>R_{C2}: 5 kΩ ~ 100 kΩ, 1/2 W</p> <p>C_{C1}: 470 pF ~ 1000 pF</p>

図 18. LinkSwitch-3 設計に適した一次側クランプの構成

絶対最小容量 (ESR の影響を除く) は、次のとおりです。

$$C_{OUT(MIN)} = \frac{I_{O(MAX)} \left(\frac{1}{F_S} - D_{CON} \right)}{V_{RIPPLE(MAX)}}$$

ここで、I_{O(MAX)} は最大出力電流、F_S はスイッチング周波数、D_{CON} は出力ダイオード導通時間、V_{RIPPLE(MAX)} は最大許容出力リップル電圧です。コンデンサのリップル定格電流が I_{RIPPLE} 値 (設計計算シートの「トランス二次側設計パラメータ」セクションより) 以上になっていることを確認します。そうでない場合は、この要求を満たす最小の容量値を選択します。多くのコンデンサメーカーは、コンデンサの動作温度がデータシートの最高値から低くなるにつれてリップル電流定格を大きくする係数を提供しています。コスト上の理由により、これを考慮してコンデンサの容量を大きくしすぎないようにしてください。

出力コンデンサの物理的なサイズを小さくするために、出力 LC 後段フィルタを使用して ESR に関連するスイッチング ノイズを軽減できます。この場合、定格電流が I_O 以上の 1 μH ~ 3.3 μH のインダクタまたは I_O < 500 mA 程度ではフェライト ビーズを選択します。2 番目のコンデンサは、良好な過渡応答のために一般的に低 ESR の 100 μF または 220 μF を使用します。二次リップル電流は、このコンデンサには流れないため、特定の ESR またはリップル電流の要求はありません。

ステップ 10 – 一次クランプ部品の選択

図 18 に示されている 2 つのクランプ回路は、LinkSwitch-3 の設計に適しています。ピークドレイン電圧を 680 V 未満に維持しながら C_{C1} 値を最小化し、R_{C2} を最大化します。C_{C1} 値を大きくすると、クランプ電圧の整定時間

が長くなるために出力リップル電圧が高くなることもあり、フィードバック巻線のサンプリング電圧に影響します。

RCD の設計には、200 kΩ と 470 pF コンデンサから開始することを推奨します。入力と負荷のあらゆる条件下で、ピークドレイン電圧が 680 V 未満になることを確認します。

RCDZ 回路は、一次側漏れインダクタンスが 125 μH より大きい場合に推奨します。これにより、ドレイン電圧のオーバーシュートやフィードバック巻線に発生するリングングを軽減します。

出力レギュレーションの最適化のために、フィードバック電圧は一次側 MOSFET がオフになってから 2.1 μs 後に 1% 以内になっている必要があります。

そのためには、クランプ回路部品を慎重に選択する必要があります。V_{R1} は、V_{OR} より 10% ~ 20% 高い電圧を選択します。これにより、ターンオフ時の漏れインダクタンスによる電圧スパイクを制限し、出力ダイオードが導通しているフライバック期間中はこのツェナーには導通しないようにすることができます。R_{C2} の値は、FEEDBACK ピン電圧及びピークドレイン電圧の両方が許容範囲内になるように最大の値に設定する必要があります。R_{C2} を大きくしすぎると、C_{C1} の放電時間が長くなり、ピークドレイン電圧が増大してレギュレーションが低下します。

抵抗 R_{C1} によって、高周波漏れインダクタンスのリングングが減衰し、EMI が軽減されます。この値は、必要な時間内にリングを減衰させることができるように、十分に大きくする必要がありますが、大きくしすぎてドレイン電圧が 680 V を超えることがないようにする必要があります。

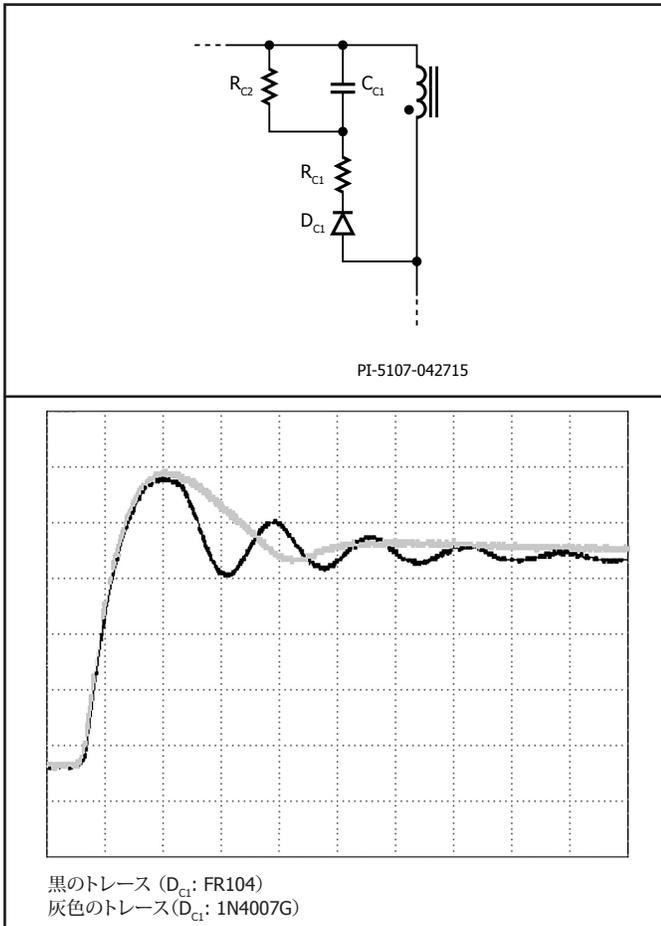


図 19. FEEDBACK ピン電圧のクランプ ダイオード回復時間の影響

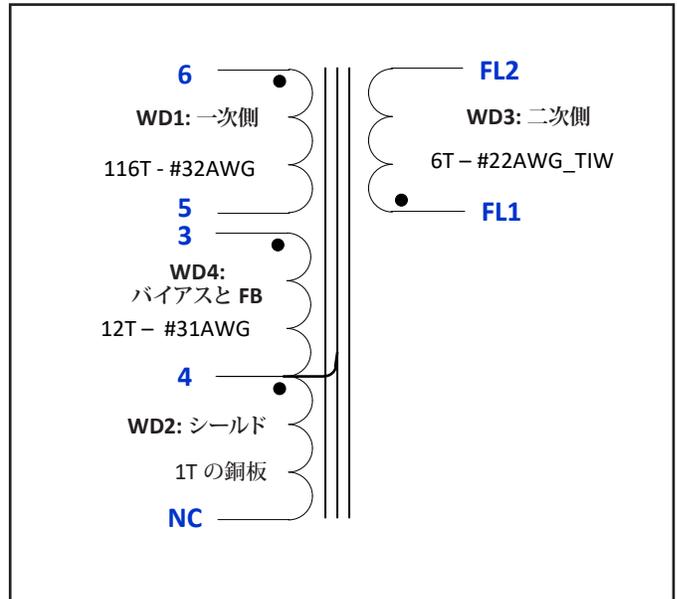


図 20. 銅板シールドを使用する標準的なトランス

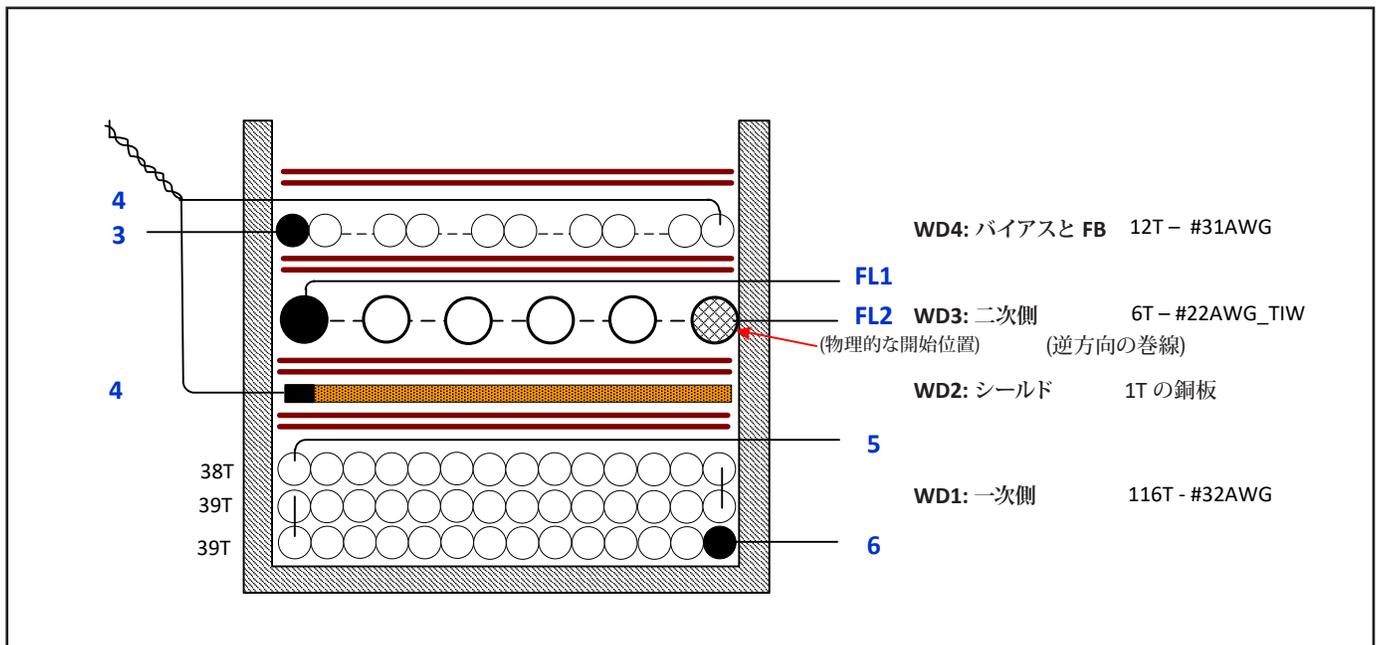


図 21. 銅板シールドを使用する標準的な LinkSwitch-3 トランスの巻線構造

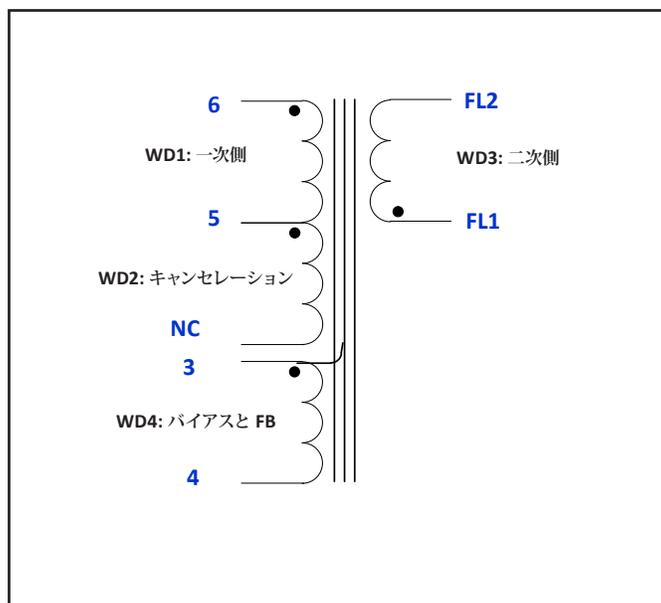


図 22. シールド巻線を使用する標準的なトランス

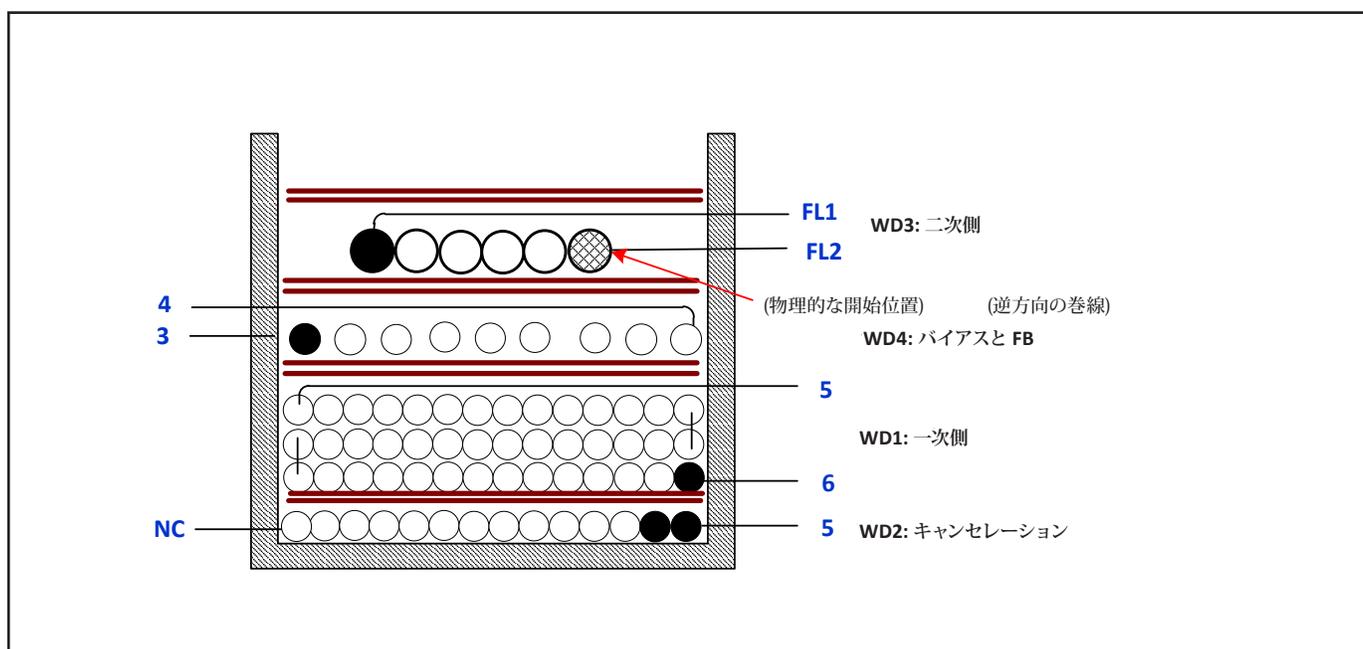


図 23. シールド巻線を使用する LinkSwitch-3 トランスの標準的な巻線構造

一次側漏れインダクタンスが 125 μ H 未満の場合は、 V_{R1} は不要になり、 R_{C2} の値を大きくできます。470 k Ω と 820 pF コンデンサから開始することを推奨します。入力と負荷のあらゆる条件下で、ピークドレイン電圧が 680 V 未満になることを確認します。良好な入力レギュレーションと負荷レギュレーションのために、フィードバック巻線電圧が許容範囲内で安定することを確認します。

クランプ回路における高速対低速ダイオードの効果

低速逆リカバリ ダイオード (> 1 μ s) は、フィードバック電圧リングングを軽減し、出力レギュレーションを向上します。高速ダイオード (500 ns) を使

用すると、リングングの振幅が大きくなり、出力リップルが増大します。図 19 では、FR104 ダイオードを使用した場合の (より大きな) リング振幅で、2.5 μ s ~ 3.1 μ s 間のサンプリング電圧において 8% の誤差を確認できます。

トランス巻線の配置例 (E-Shields™ を含む)

PIXIs 計算シートの設計が完了すると、トランスの試作に必要なすべての情報を得ることができます。このセクションでは、巻線の順序及び Power Integrations 独自の E-Shield 技術の使用に関する実用的なヒントを示します。シールド巻線によって伝導 EMI 特性が改善し、共通モードチョーク

を不要にしたり、一次二次間のYクラスコンデンサを削減して入力フィルタ段を簡素化します。参考の巻線数 (WDx) については、図 20、21、22、及び 23 を参照してください。

銅板シールド

図 21 のトランス設計の一次巻線と二次巻線の間にある銅板シールド (WD2) は、一次側からのノイズを防止し、電源の伝導エミッションレベルを低減します。銅板シールドを使用するトランスは、非常に安定した EMI 特性を示します。

シールド巻線

比較的安価なシールド方法は、E-Shield 技術を使用することです。図 23 では、トランスの最初の層はキャンセレーションシールド巻線 (WD2) です。PIXIs で一次側の巻線数 N_p [D74] を確認し、層の数 L [D56] で除算して巻線数を算出し、結果を 2 で除算します ($N_{\text{SHIELD}} = 0.5 \times (N_p/L)$)。これにより、伝導 EMI エミッションが最小になるように調整する場合の開始値を得ることができます。シールド巻線の巻き終わりはフローティングです。ボビン幅を完全に満たす巻線ゲージを選択します。

一次巻線

下から二番目の巻線 (WD1) が一次側です。PIXIs で巻線数 N_p [D74]、層数 L [D56]、及び巻線ゲージ AWG [D86] を確認します。図 23 に示すように、一次側の始点は MOSFET のドレイン ノードです。オプションで 1 mm のテープ層を使用すると、トランス設計への製品ばらつきを軽減して EMI の再現性が向上します。テープ マージンを考慮するために、PIXIs 計算シートの [B55] セルに 1 mm のマージン値を入力します。

フィードバック巻線とバイアス巻線

PIXIs で巻線数 N_{FB} を確認します [D30]。伝導 EMI を減らすために、この巻線はボビン幅を完全に満たす必要があります。このためにマルチファイラ巻線を使用します。最適な巻線ゲージとファイラ数 (並列巻線) を特定するために、何度か試すことが必要になる場合があります。マルチファイラ巻線を単一のボビンピンで終了する場合は、生産性を考慮して、一般に 4 ファイラ以内をすることを推奨します。

二次巻線

PIXIs で二次巻線数 N_s を確認します [D57]。二次巻線は、フィードバック巻線の巻き始めと同じ側から開始します。ゲージ巻線を選択して、ボビン巻線領域の幅を完全に満たします。安全規格要件 (一般に 6 mm ~ 6.2 mm) を満たすための広いテープ マージンを使用せず、必要なトランスのコアサイズを最小化するために、二次巻線には 3 層絶縁線を推奨します。

設計のヒント

跳ね返り出力電圧 (V_{OR}) の調整

Power Integrations の他のデバイス ファミリーの設計計算シートのユーザーは、LinkSwitch-3 計算シートでは、いくつかのパラメータ (V_{OR} 、 N_s 、及び N_p) を直接変更できないことに気づくかもしれません。これらのパラメータを変更するには、次に示す関係を使用します。

V_{OR} : D_{CON} または F_s を大きくすると、 V_{OR} 値が小さくなります。

N_s : D_{CON} を大きくすると、 N_s が大きくなります。

N_p : $B_{\text{M(TARGET)}}$ によって決まります。

CV レギュレーション

FEEDBACK ピン電圧 (V_{FBH}) 及び小さな温度係数 (TC_{VFB}) の高精度な公差により、CV 動作中の出力電圧の高精度なレギュレーションを実現します。

無負荷時及び最大負荷時の出力電圧差を最適化するために対処すべき主要な要因は以下の 2 つです。

1. 無負荷時の電圧上昇
2. ケーブル電圧降下補正

無負荷時の電圧上昇に対しては、次の要因があります。

- ダミー負荷抵抗の選択 (ステップ 8 の「出力ダイオードとダミー負荷の選択」を参照)
- バイアス巻線抵抗 R_8 (図 16) の値が小さすぎる
- より低いスイッチング周波数及びより高い一次側インダクタンスのトランス設計により、無負荷時のエネルギー供給の増加

LinkSwitch-3 では、ケーブルの電圧降下補正に関するオプションがあり、ケーブルの電圧降下補正量は、デバイス部品番号の 3 桁目の数字によって決まります。必要な補正は、ケーブルのみではなく、コネクタ抵抗を含むケーブル抵抗に基づきます。たとえば、ケーブル抵抗が 150 mΩ の場合、最大負荷時の電圧降下 (たとえば、5 V、2 A) は $0.15 \Omega \times 2 \text{ A} = 0.3 \text{ V}$ になり、6% のケーブル補正製品を選択して $5 \text{ V} \times 6\% = 0.3 \text{ A}$ の電圧降下を補正する必要があります。図 24 に、異なる電圧降下補正特性に対するケーブル終端の出力電圧を示します。ケーブル電圧降下の過補正または補正不足がある場合は、最適化する必要があります。

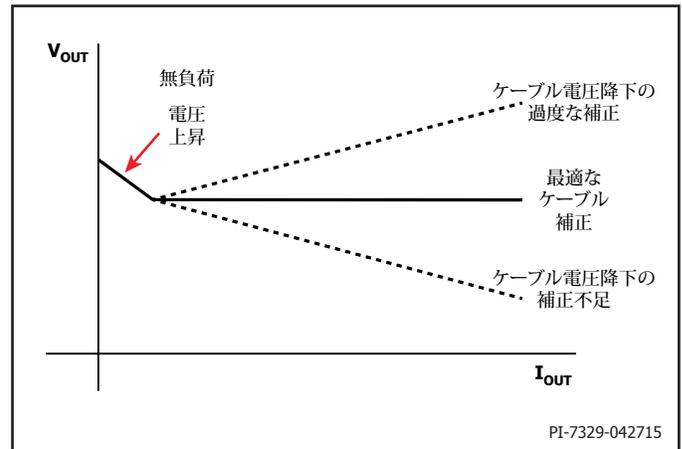


図 24. ケーブル終端の CV レギュレーション出力電圧

CV レベルと CC レベルの特性改善

LinkSwitch-3 の全体的な出力公差 (配線、部品のバラつき、温度を含む) は、CV 動作中は出力電圧の $\pm 5\%$ 、CC 動作中は出力電流の $\pm 10\%$ です。この場合、ジャンクション温度は $0^\circ \text{C} \sim 110^\circ \text{C}$ です。

CV レギュレーション レベルを調整して CC レベルを一定にする方法は、FEEDBACK ピン抵抗の $R_{\text{UPPER}}/R_{\text{LOWER}}$ の比率を調整し、出力電力を線形的に増減させることです。図 25 に、比率 $R_{\text{UPPER}}/R_{\text{LOWER}}$ の変化とともに変化する CV レギュレーションを示します。CC レベルを調整する方法は、比率 $R_{\text{UPPER}}/R_{\text{LOWER}}$ を一定にし、 R_{UPPER} と R_{LOWER} を同時に増減することです。CV レギュレーションは、CC レベルの増減の影響を受けません。図 26 に、比率 $R_{\text{UPPER}}/R_{\text{LOWER}}$ を一定にし、 R_{UPPER} と R_{LOWER} を同時に増減した場合の CC レベルの変化を示します。CV レギュレーションと CC レベルに対して最適化された FEEDBACK ピン抵抗を選択するには、少なくとも 30 の基板を試験することを推奨します。

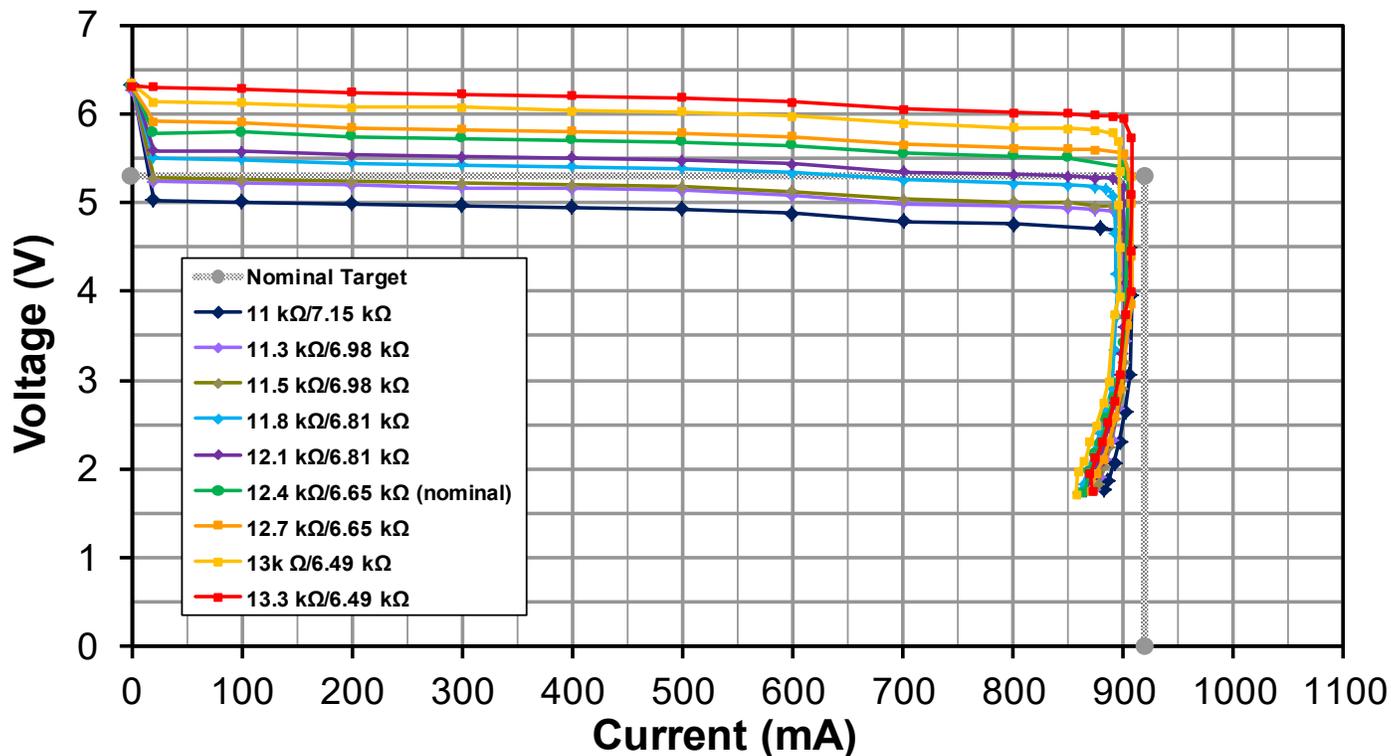


図 25. R_{UPPER}/R_{LOWER} 比を調整し、出力電力を線形的に増減して CC を一定に保つことによって CC/CV 特性を改善する例

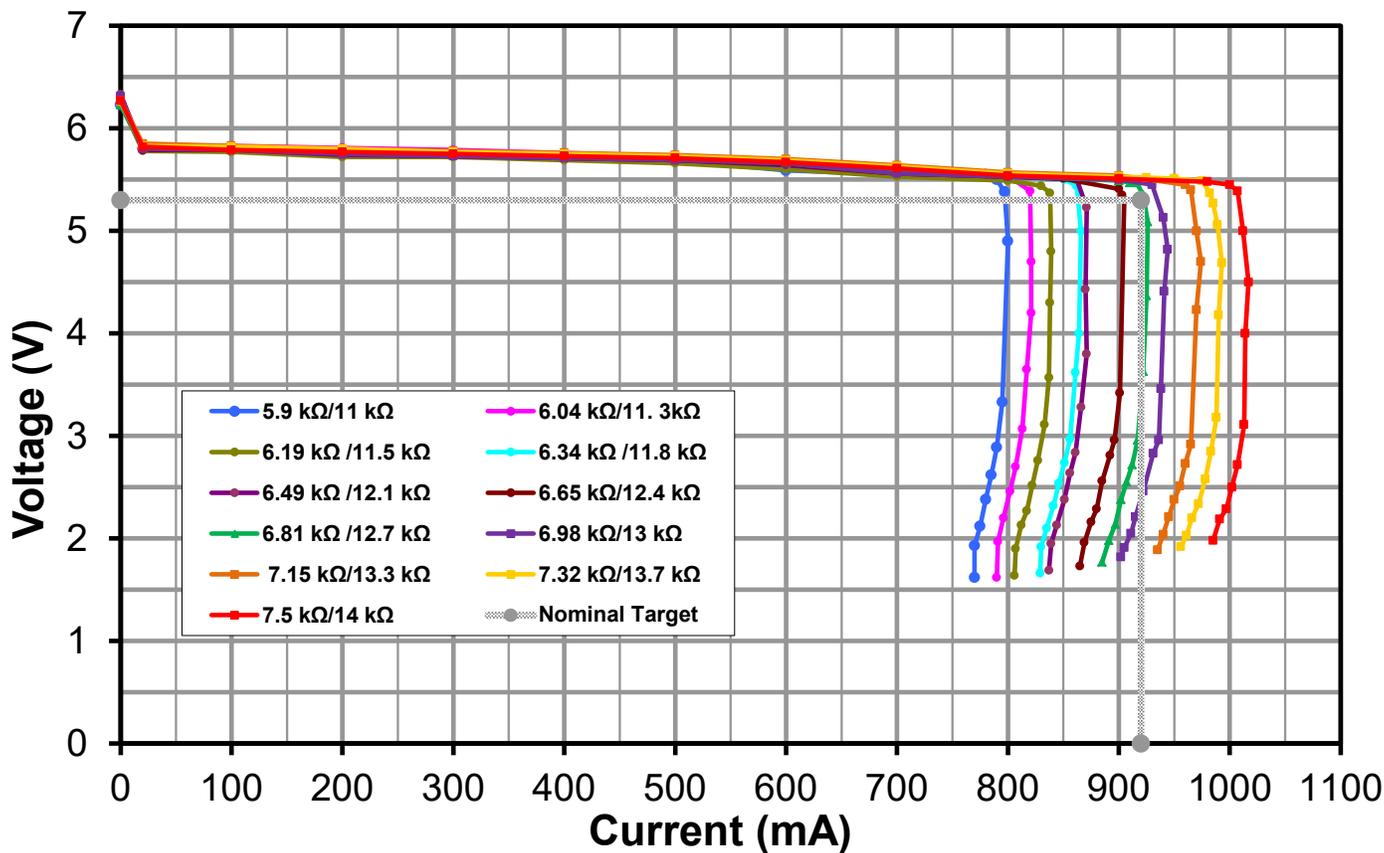


図 26. FEEDBACK ピン抵抗 (R_{UPPER} と R_{LOWER}) を調整し、 R_{UPPER}/R_{LOWER} 比を一定にすることによって、CC/CV 特性を改善する例

負荷過渡応答

LinkSwitch-3 は一次側制御 IC です。フィードバックは、単一のスイッチングパルス毎に、トランスのバイアス巻線によって生成されます。IC は、2 つの連続したパルス間の出力ステータスに関する情報を持っていません。電源の反応時間のワーストケースは $1/F_{SW(MIN)}$ であるため、過渡応答は最小動作スイッチング周波数の関数になります。図 27 に示すように、最小過渡電圧は領域 1 と領域 2 で構成されます。

領域 1 の電圧降下は、ケーブル抵抗を介した電圧降下によって発生します。

$$\Delta V_1 = I_{OUT} \times R_{CABLE}$$

ここで、 R_{CABLE} はケーブル抵抗です。

領域 2 の電圧降下は、出力コンデンサの放電によって発生します。

$$\Delta V_2 = I_{OUT} \times (t_2 - t_1) / C_{OUT}$$

ここで、 C_{OUT} は出力コンデンサ値で、 $1/(t_2 - t_1)$ は最小スイッチング周波数です。領域 2 の電圧降下は、出力コンデンサとスイッチング周波数の関数になります。出力コンデンサの容量を大きくすると、過渡負荷中のアンダーシュート電圧を改善でき、ダミー負荷抵抗を小さくして最小スイッチング周波数を大きくしても、アンダーシュート電圧を改善できます。ダミー負荷抵抗を小さくすると、無負荷時消費電力が大きくなることに注意してください。

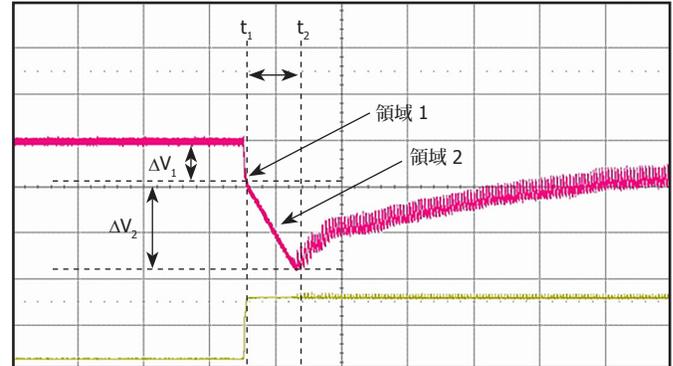


図 27. ケーブル端の出力電圧と負荷電流

設計の推奨事項:

基板レイアウト

LinkSwitch-3 は、コントローラと高耐圧 MOSFET の両方をワンチップに搭載する高集積電源ソリューションです。アナログ信号と共にスイッチング電流及び電圧が存在します。トラブルの少ない安定した動作を維持するためにはプリント基板 (PCB) 設計が重要です。LinkSwitch-3 の推奨基板レイアウトについては、図 28 及び 29 を参照してください。LinkSwitch-3 ベースの電源基板を設計する場合は、以下のガイドラインに従うことが重要です。図 30 に、不適切なレイアウト設計の例を示します。

一点接地

LinkSwitch-3 の SOURCE ピン及びバイアス巻線のリターンは、入力フィルタコンデンサのマイナス端子に一点 (ケルビン) 接続します。これにより、バイアス巻線のサージ電流が入力フィルタコンデンサに直接戻ること、サージ容量が強化されます。

バイパス コンデンサ

BYPASS ピン コンデンサは、SOURCE ピンと BYPASS ピンにできるだけ近く配置する必要があります。

フィードバック抵抗

フィードバック抵抗は LinkSwitch-3 デバイスの FEEDBACK ピンに直接配置します。これにより、ノイズのカップリングを最小限に抑えることができます。

温度に関する考慮事項

SOURCE ピンに接続されている銅パターンが LinkSwitch-3 のヒートシンクになります。LinkSwitch-3 は出力の 10% を消費すると見積もられます。SOURCE ピンの温度を 110 °C 未満に抑えるのに十分な銅パターンを確

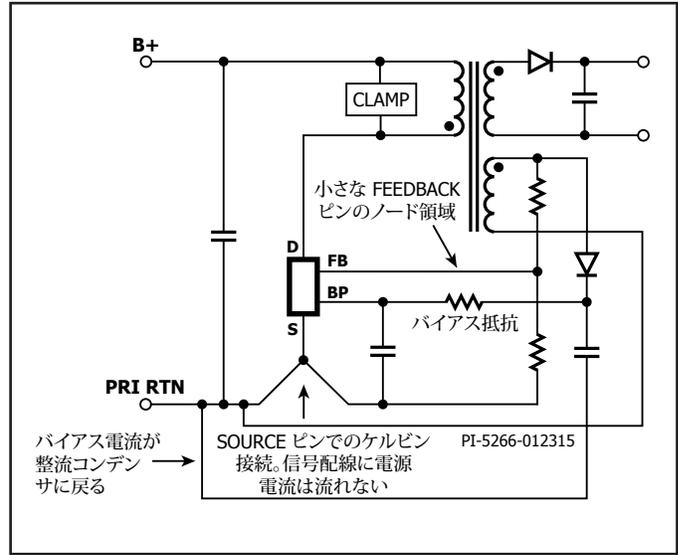


図 28. 推奨レイアウトを示す回路図

保します。これより高い温度は、±10% を超える出力電流 (CC) 公差が許容できる設計でのみ許可されます。この場合、 $R_{DS(ON)}$ のばらつきマージンを確保するために、SOURCE ピンの最高温度を 110 °C 未満にすることを推奨します。放熱のための銅パターンは十分な大きさを確保する必要があります。

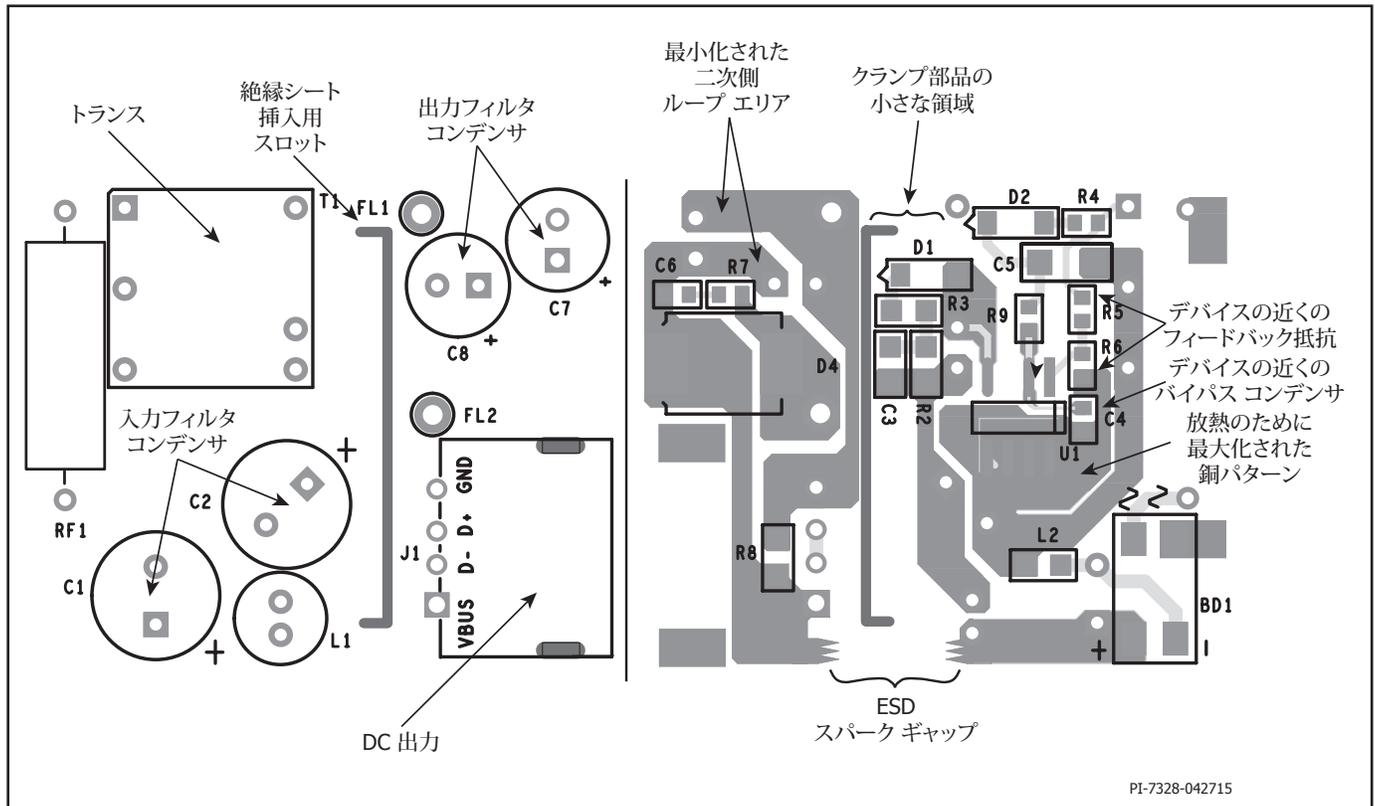


図 29. P パッケージを使用する 10 W 設計のプリント回路基板 (PCB) (左:上面)、(右:底面) レイアウトの例

二次側ループ エリア

配線インダクタンスの影響及び EMI を最小にするには、二次巻線、出力ダイオード、出力フィルタ コンデンサを接続するループの面積を最小にします。さらに、十分な放熱のためにダイオードのアノード端子とカソード端子の銅パターンを十分に大きくする必要があります。電氣的に安定したカソード端子には、より広い領域を確保します。アノード領域を大きくすると、高周波のラジエーション EMI が増大することがあります。

静電放電のスパーク ギャップ

配線は絶縁バリアに沿って配置して、スパーク ギャップの 1 つの電極を形成します。二次側のもう 1 つの電極は、出力ノードによって形成されます。スパーク ギャップは、ESD エネルギーを二次側から AC 入力に誘導します。他のノードへの不要なアーク放電及び回路の破損の可能性を防止するために、AC 入力からスパーク ギャップの電極までの配線は他の配線から離す必要があります。

ドレイン クランプの最適化

LinkSwitch-3 は一次側のフィードバック巻線を検出し、出力を制御します。フィードバック巻線に生じる電圧は、内部 MOSFET がオフの間、二次巻線電圧になります。したがって、漏れインダクタンスによるリングングが出力レギュレーションに影響することがあります。ドレイン クランプを最適化して高周波リングングを最小化すると、最高のレギュレーションが得られます。図 31 に、必要なドレイン電圧波形を示します。漏れインダクタンスによるリングングによって発生する大きなアンダーシュートがある図 32 と比較し

てください。この

リングング及びその影響により、出力電圧レギュレーション特性が低下します。このリングング及びそれによるアンダーシュートを減らすには、クランプダイオードと直列に接続される抵抗 (図 16 の R3) の値を調整します。

設計チェックリスト

他の電源設計と同様に、LinkSwitch-3 の設計が最悪条件で部品仕様を超えないことをベンチマーク テストで検証します。

最低限、次の試験を行うことを強く推奨します。

1. 最大ドレイン電圧 — 最大入力電圧及び最大出力電力でピーク V_{DS} が 680 V を超えないことを検証します。
2. 最大ドレイン電流 — 最大周囲温度、最大入力電圧、最大出力負荷で、起動時ドレイン電流波形にトランスの飽和やリーディング エッジスパイク電流の兆候があるかどうかを観察します。ターン ON 時の誤検出を防止するために、LinkSwitch-3 のリーディング エッジ ブランキング時間は 170 ns に設定されています。
3. 温度特性の確認 — 最大出力電力、最小/最大入力電圧、最高周囲温度で、LinkSwitch-3、トランス、出力ダイオード、及び出力コンデンサが温度仕様を超えていないことを確認します。LinkSwitch-3 の $R_{DS(ON)}$ には、データシートに指定された部品ごとのばらつきを許容する十分な温度マージンが必要です。10% の CC 公差を維持するために SOURCE ピンの温度を 110 °C 未満にすることを推奨します。

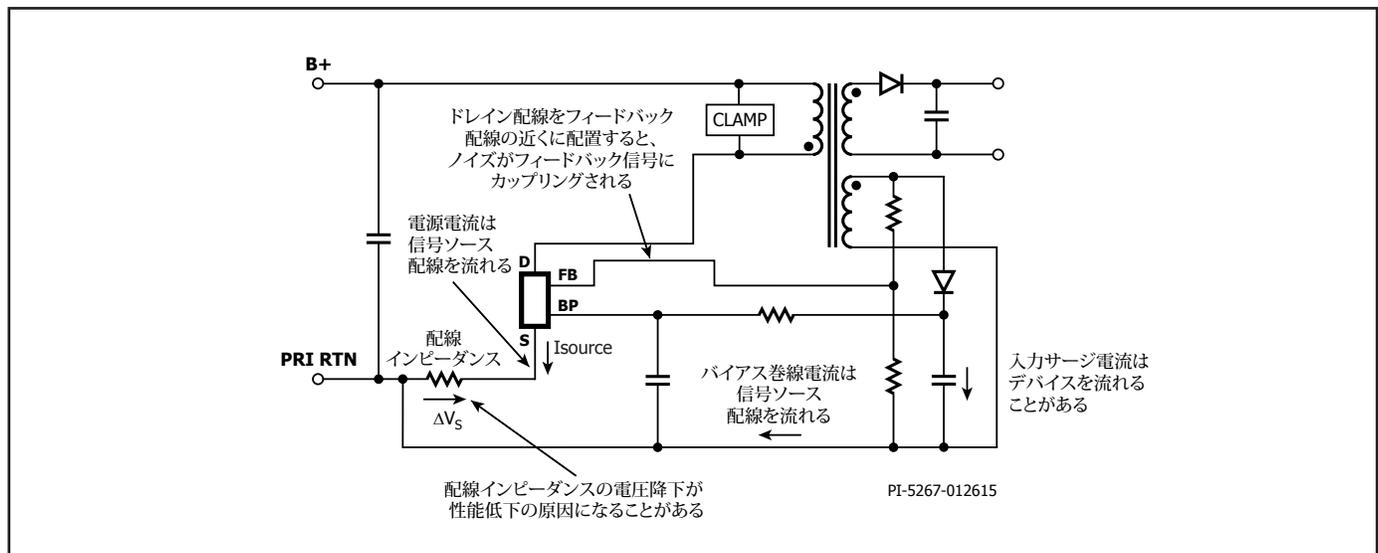


図 30. 不適切なレイアウトによる電氣的影響を示す回路図

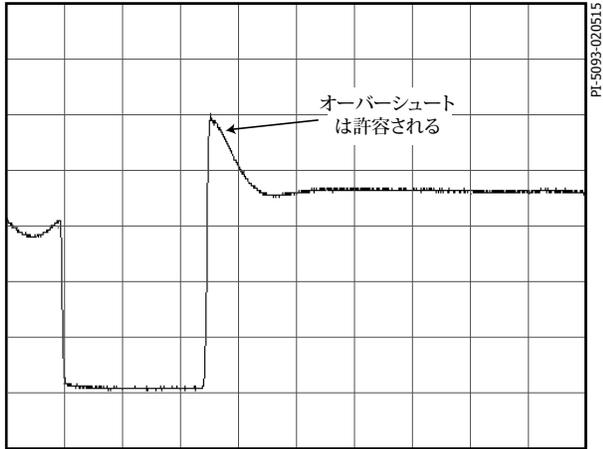


図 31. 望ましいドレイン波形

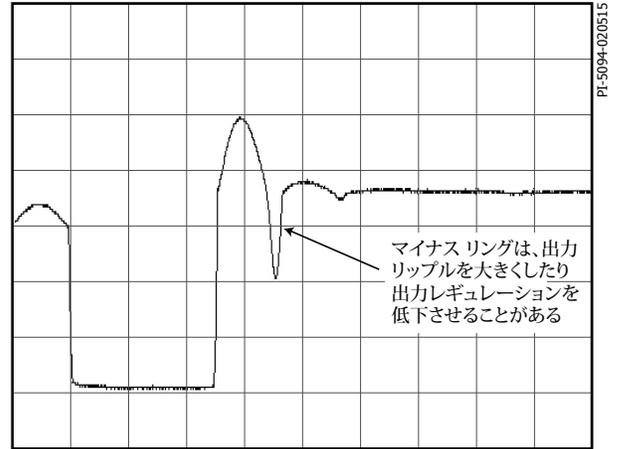


図 32. 望ましくないドレイン波形

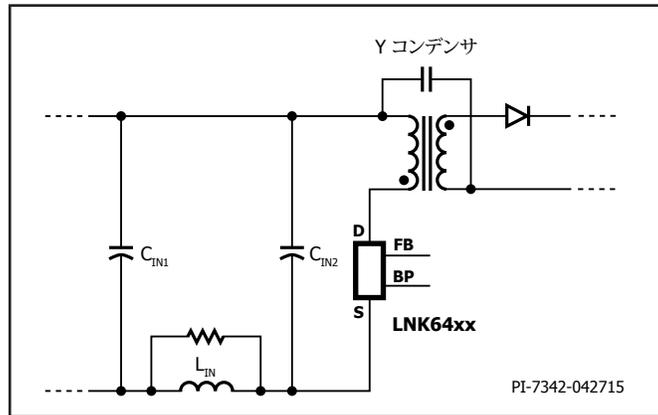


図 33. Y コンデンサを使用する場合の入力インダクタの正しい位置

注

改訂	注	日付
A	初回リリース。	2015年4月
B	各種のテキストを修正。	2019年4月

最新の情報については、弊社ウェブサイト www.power.com をご覧ください。

Power Integrations は、信頼性や生産性を向上するために、いつでも製品を変更する権利を保有します。Power Integrations は、ここに記載した機器または回路を使用したことから生じる事柄について責任を一切負いません。Power Integrations は、ここでは何らの保証もせず、商品性、特定目的に対する適合性、及び第三者の権利の非侵害性の黙示の保証などが含まれますがこれに限定されず、すべての保証を明確に否認します。

特許情報

ここで例示した製品及びアプリケーション (製品の外付けトランス構造と回路も含む) は、米国及び他国の特許の対象である場合があります。また、Power Integrations に譲渡された米国及び他国の出願中特許の対象である可能性があります。Power Integrations が保有する特許の全リストは、www.power.com に掲載されています。Power Integrations は、www.power.com/ip.htm に定めるところに従って、特定の特許権に基づくライセンスを顧客に許諾します。

生命維持に関する方針

Power Integrations の社長の書面による明示的な承認なく、Power Integrations の製品を生命維持装置またはシステムの重要な構成要素として使用することは認められていません。ここで使用した用語は次の意味を持つものとします。

- 「生命維持装置またはシステム」とは、(i) 外科手術による肉体への埋め込みを目的としているか、または (ii) 生命活動を支援または維持するものであり、かつ (iii) 指示に従って適切に使用した時に動作しないと、利用者に深刻な障害または死をもたらすと合理的に予想されるものです。
- 「重要な構成要素」とは、生命維持装置またはシステムの構成要素のうち、動作しないと生命維持装置またはシステムの故障を引き起こすか、あるいは安全性または効果に影響を及ぼすと合理的に予想される構成要素です。

Power Integrations、Power Integrations ロゴ、CAPZero、ChiPhy、CHY、DPA-Switch、EcoSmart、E-Shield、eSIP、eSOP、HiperPLC、HiperPFS、HiperTFS、InnoSwitch、Innovation in Power Conversion、InSOP、LinkSwitch、LinkZero、LYTSwitch、SENZero、TinySwitch、TOPSwitch、PI、PI Expert、SCALE、SCALE-1、SCALE-2、SCALE-3、及び SCALE-iDriver は Power Integrations, Inc. の商標です。その他の商標は、各社の所有物です。©2019, Power Integrations, Inc.

Power Integrations の世界各国の販売サポート担当

世界本社 5245 Hellyer Avenue San Jose, CA 95138, USA 代表: +1-408-414-9200 カスタマー サービス: 上記以外の国: +1-65-635-64480 南北アメリカ: +1-408-414-9621 電子メール: usasales@power.com	ドイツ (AC-DC/LED 販売) Einsteinring 24 85609 Dornach/Aschheim Germany 電話: +49-89-5527-39100 電子メール: eurosales@power.com	イタリア Via Milanese 20, 3rd.Fl. 20099 Sesto San Giovanni (MI) Italy 電話: +39-024-550-8701 電子メール: eurosales@power.com	シンガポール 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 電話: +65-6358-2160 電子メール: singapore@power.com
中国 (上海) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 電話: +86-21-6354-6323 電子メール: chinasales@power.com	ドイツ (ゲートドライバ販売) HellwegForum 1 59469 Ense Germany 電話: +49-2938-64-39990 電子メール: igbt-driver.sales@power.com	日本 〒222-0033 神奈川県横浜市 港北区新横浜 1-7-9 友泉新横浜一丁目ビル 電話: +81-45-471-1021 電子メール: japansales@power.com	台湾 5F, No. 318, Nei Hu Rd., Sec.1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 電話: +886-2-2659-4570 電子メール: taiwansales@power.com
中国 (深圳) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 電話: +86-755-8672-8689 電子メール: chinasales@power.com	インド #1, 14th Main Road Vasanthanagar Bangalore-560052 India 電話: +91-80-4113-8020 電子メール: indiasales@power.com	韓国 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 電話: +82-2-2016-6610 電子メール: koreasales@power.com	英国 Building 5, Suite 21 The Westbrook Centre Milton Road Cambridge CB4 1YG 電話: +44 (0) 7823-557484 電子メール: eurosales@power.com